

2814  
#2  
C2  
02-15-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi HASHIMOTO, et al.**

Serial No.: **09/960,399**

Filed: **September 24, 2001**

P.T.O. Confirmation No.: **5652**

For: **SEMICONDUCTOR INTEGRATED CIRCUIT AND FABRICATION  
PROCESS THEREOF**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
Washington, D.C. 20231

January 14, 2002

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-188186, filed June 21, 2001**

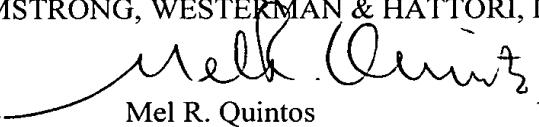
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully Submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

  
Mel R. Quintos  
Reg. No. 31,898

MRQ/ll  
Atty. Docket No. **011225**  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

PATENT OFFICE  
JAPANESE GOVERNMENT



*MARK OFF* This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: June 21, 2001

Application Number: Japanese Patent Application  
No. 2001-188186

Applicant(s) FUJITSU LIMITED

August 31, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3080999



日本国特許庁  
JAPAN PATENT OFFICE

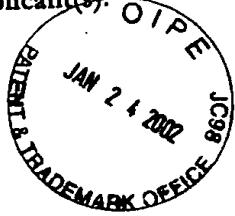
別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2001年 6月21日

出願番号  
Application Number: 特願2001-188186

出願人  
Applicant(s): 富士通株式会社

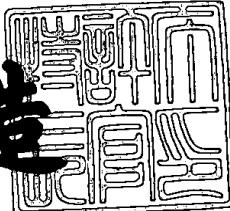


JC 2001-188186  
JAN 24 2002

2001年 8月31日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3080999

【書類名】 特許願  
【整理番号】 0140690  
【提出日】 平成13年 6月21日  
【あて先】 特許庁長官 及川 耕造 殿  
【国際特許分類】 H01L 27/08  
H01L 21/76  
H01L 91/94  
【発明の名称】 半導体集積回路装置およびその製造方法  
【請求項の数】 10  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 橋本 広司  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内  
【氏名】 高橋 浩司  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100070150  
【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階  
【弁理士】  
【氏名又は名称】 伊東 忠彦  
【電話番号】 03-5424-2511  
【手数料の表示】  
【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板表面に、少なくとも第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域中に前記半導体基板の酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第1の活性領域において前記半導体基板表面を第1の厚さで覆う第1の熱酸化膜を、また前記第2および第3の活性領域において前記半導体基板表面を第2の厚さで覆う第2の熱酸化膜を形成する工程と、

前記半導体基板表面に、少なくとも前記第1の活性領域と前記第2の活性領域と前記第3の活性領域とを覆うように耐酸化性膜を形成する工程と、

前記耐酸化性膜を前記第1および第2の活性領域に残したまま前記第3の活性領域において前記耐酸化性膜および前記第2の熱酸化膜を除去し、前記半導体基板の表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第3の活性領域において前記半導体基板表面に、第3の厚さの第3の熱酸化膜を形成し、同時に前記第2の熱酸化膜の膜厚を増大させる工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体基板表面に、少なくともフラッシュメモリセル領域と第1の活性領域と第2の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理工程を行うことにより、前記フラッシュメモリセル領域と前記第1の活性領域と前記第2の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第1の活性領域と前記第2の活性領域とを含むように、アモルファスシリコン膜と、窒化膜を含む耐酸化性絶縁膜とを順次堆積する工程と、

前記第1の活性領域において選択的に前記半導体基板の表面を露出する工程と

前記半導体基板に対して熱酸化処理を行うことにより、前記第1の領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、  
前記第2の活性領域において選択的に前記半導体基板の表面を露出する工程と

前記半導体基板に対して熱酸化処理を行うことにより、前記第2の領域において前記半導体基板表面に第2の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 半導体基板表面に少なくともフラッシュメモリセル領域と第1の活性領域と第2の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、少なくとも前記フラッシュメモリセル領域と前記第1の活性領域と前記第2の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第1および第2の活性領域を含むようにアモルファスシリコン膜を堆積する工程と、

前記第1および第2の活性領域において選択的に前記アモルファスシリコン膜を除去する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第1の活性領域と前記第2の活性領域を覆うように、耐酸化性絶縁膜を堆積する工程と

前記第1の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行い、前記第1の活性領域において前記半導体基板表面を覆うように第1の熱酸化膜を形成する工程と、

前記第2の活性領域において選択的に前記耐酸化性膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱処理工程を行い、前記第2の活性領域において前記半導体基板表面を覆

うように第2の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 半導体基板表面に、フラッシュュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュュメモリセル領域および前記第1～第3の活性領域を含むようにアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクとして熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 半導体基板表面に、フラッシュュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュュメモリ

セル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第2～第3の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第1の活性領域において前記第1の熱酸化膜を覆うように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記第1の活性領域において選択的に前記耐酸化性絶縁膜を除去する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第2のアモルファスシリコン膜を堆積する工程と異なることを特徴とする半導体集積回路装置の製造方法。

【請求項6】 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第2のアモルファスシリコン膜を堆積する工程と、

前記第1の活性領域において前記第2のアモルファスシリコン膜と前記耐酸化性絶縁膜とを選択的に除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第2～第3の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第1の活性領域において前記第1の熱酸化膜を覆うように、第1のアモルファスシリコン膜

と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜をパターニングしてコントロールゲートパターンを形成し、同時に前記第1の活性領域において前記第2のアモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第1～第3の活性領域において第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第1のアモルファスシリコン膜を堆積する工程と、

前記第2の活性領域において選択的に前記第1のアモルファスシリコン膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記半導体基板中に酸化を抑制する不純物元素を選択的に導入する工程と、

前記フラッシュメモリセル領域および前記第3の活性領域において選択的に前記第1のアモルファスシリコン膜および前記第1の熱酸化膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域において前記半導体基板表面を覆うようにトンネル酸化膜を、また前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を同時に形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜をパターニングしてゲート電極を形成し、同時に前記第1の活性領域において前記アモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 半導体基板上に、フラッシュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第3の活性領域において前記半導体基板表面に第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項10】 半導体基板上に、フラッシュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記フラッシュメモリセル領域にのみ、選択的にソース領域とドレイン領域とを形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第3の活性領域において前記半導体基板表面に第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置およびその製造方法に係り、特に不揮発性半導体記憶装置を含み、複数の電源電圧を使う半導体装置集積回路装置の製造方法に関する。

【0002】

フラッシュメモリ装置はフローティングゲート電極中に情報を電荷の形で蓄積する不揮発性半導体記憶装置であり、簡単な素子構成を有しているため、大規模集積回路装置を構成するのに適している。

【0003】

フラッシュメモリ装置では情報の書き込みおよび消去が、フローティングゲート電極へのトンネル絶縁膜を介したホットキャリアの注入および引き抜きによりなされるが、かかるホットキャリアを発生させるためには高電圧が必要とされ、そのためフラッシュメモリ装置では、メモリセルと協働する周辺回路に電源電圧を昇圧する昇圧回路が設けられている。従って、このような周辺回路において使われるトランジスタは高電圧で動作する必要がある。

【0004】

一方、最近ではこのようなフラッシュメモリ装置を高速論理回路と共に共通の半導体基板上に、半導体集積回路装置の形で形成することが行われている。このような高速論理回路では、使われるトランジスタは低電圧動作をする必要があり、このためかかる半導体集積回路装置では複数の電源電圧を使う必要がある。

【0005】

【従来の技術】

図1 (A) ~図9 (Q) は、かかるフラッシュメモリを含み、多電源電圧に対応した従来の半導体集積回路装置の製造工程を示す図である。

【0006】

図1 (A) を参照するに、フィールド酸化膜あるいはS T I構造などの素子分離構造(図示せず)が形成されたS i基板11上にはフラッシュメモリセル領域A、低電圧動作トランジスタ領域B、および高電圧動作トランジスタ領域Cが画

成されており、図1 (A) の工程では前記領域A～C上に、800～1100° Cでの前記Si基板11表面の熱酸化工程により、トンネル酸化膜12Aが8～10nmの厚さに形成される。さらに図1 (B) の工程において前記トンネル酸化膜12A上にP(リン)でドープされた80～90nmの厚さのアモルファスシリコン膜13と、いわゆるONO構造を有する絶縁膜14とが順次堆積される。ONO絶縁膜14は、前記アモルファスシリコン膜13上にCVD法により5～7nmの厚さに堆積されたSiO<sub>2</sub>膜14aと、前記SiO<sub>2</sub>膜14a上にCVD法により7～9nmの厚さに堆積されたSiN膜14bと、前記SiN膜14bの表面に形成された5～10nmの厚さの熱酸化膜14cとよりなり、優れたリーク電流特性を有している。

## 【0007】

次に図2 (C) の工程において、前記フラッシュメモリセル領域A上にレジストパターン15Aを形成し、前記レジストパターン15Aをマスクに、前記Si基板11上のONO膜14、アモルファスシリコン膜13およびトンネル絶縁膜12Aを、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cにおいて除去し、前記領域BおよびCにおいて前記Si基板11の表面を露出する。前記トンネル絶縁膜12Aの除去工程においてはHFによるウェットエッチングが実行され、その結果前記Si基板11の表面が前記領域BおよびCにおいてはHFに曝される。

## 【0008】

次に図2 (D) の工程において前記レジストパターン15Aを除去し、さらに800～1100° Cの温度で熱酸化工程を行うことにより、前記領域BおよびC上に、前記Si基板11を覆うように熱酸化膜12Cを10～50nmの厚さに形成する。

## 【0009】

さらに図3 (E) の工程において前記Si基板11上に前記フラッシュメモリセル領域Aにおいて前記ONO膜14を覆うように、また前記高電圧トランジスタ形成領域Cにおいて前記熱酸化膜12Cを覆うように次のレジストパターン15Bを形成し、前記レジストパターン15Bをマスクに、前記Si基板11上の

熱酸化膜12Cを前記低電圧動作トランジスタ領域BにおいてHF処理により除去し、前記Si基板11の表面を露出する。図3(E)の工程により、前記領域BにおいてはSi基板11の表面が二度目のHF処理を受ける。

#### 【0010】

次に図3(F)の工程において前記レジストパターン15Bを除去し、さらに前記領域Bにおいて露出したSi基板11上に800～1100°Cにおける熱酸化処理により、厚さが1.5～3nmの熱酸化膜12Bを形成する。また図3(F)の工程では、前記熱酸化膜12Bを形成する熱酸化工程の結果、前記高電圧動作トランジスタ領域C上に形成されている前記熱酸化膜12Cの厚さが増大する。

#### 【0011】

次に図4(G)の工程において図3(F)の構造上にPドープしたアモルファスシリコン膜16がプラズマCVD法により150～200nmの厚さに堆積され、次いで図4(H)の工程において前記レジストパターン17Aをマスクに前記アモルファスシリコン膜16、前記ONO膜14および前記アモルファスシリコン膜13を順次パターニングすることにより、前記フラッシュメモリセル領域Aにおいてアモルファスシリコンパターン13A、ONOパターン14Aおよびアモルファスシリコンパターン16Aよりなり、前記アモルファスシリコンパターン13Aをフローティングゲート電極として含むフラッシュメモリの積層ゲート電極構造16Fが形成される。なお図4(G)の工程において前記アモルファスシリコン膜16上に必要に応じてWSiやCOSiなどのシリサイド膜を形成することも可能である。

#### 【0012】

次に図5(I)の工程において前記レジストパターン17Aが除去され、新たにレジストパターン17Bが、前記フラッシュメモリセル領域Aを覆うように形成され、前記レジストパターン17Bをマスクに前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cにおいて前記アモルファスシリコン膜16をパターニングすることにより、前記領域Bに低電圧動作トランジスタのゲート電極16Bが、また前記領域Cに高電圧動作トランジスタのゲート電極16C

が形成される。

【0013】

次に図5 (J) の工程において前記レジストパターン17Bを除去し、800～900°Cでの熱酸化処理により、前記フラッシュメモリセル領域Aにおいて前記積層ゲート電極構造16Fを覆うように、また前記低電圧動作トランジスタ形成領域Bにおいて前記ゲート電極16Bを覆うように、さらに前記高電圧動作トランジスタ形成領域Cにおいて前記ゲート電極16Cを覆うように、保護酸化膜18が形成される。

【0014】

次に図6 (K) の工程において、図5 (J) の構造上に前記低電圧動作トランジスタおよび高電圧動作トランジスタの形成領域BおよびCを覆うように、また前記フラッシュメモリセル領域Aを部分的に覆うようにレジストパターン19Aが形成され、前記レジストパターン19Aおよび前記積層ゲート電極16FをマスクにP+のイオン注入を、典型的には50～80keVの加速電圧で、 $1 \times 10^{14} \text{ cm}^{-2} \sim 3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で行い、前記Si基板11中に前記積層ゲート電極16Fに隣接してn型拡散領域11aを形成する。

【0015】

図6 (K) の工程では、さらに前記レジストパターン19AをマスクにAs+のイオン注入を、典型的には30～50keVの加速電圧で、 $4 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、前記n型拡散領域11a内に別のn型拡散領域11bを形成する。図6 (K) の工程では、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cは前記レジストパターン19Aにより覆われているため、イオン注入は生じない。

【0016】

次に図6 (L) の工程において前記レジストパターン19Aが除去され、新にレジストパターン19Bが前記領域Aを露出するように、また前記領域BおよびCを覆うように形成される。図6 (L) の工程ではさらに前記レジストパターン19BをマスクにAs+のイオン注入が30～50keVの加速電圧下、 $5 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で実行され、その結果前記n型拡散領域11

b 中の不純物濃度が増大すると同時に、前記フラッシュメモリ領域A中にさらに別のn型拡散領域11cが、前記積層ゲート構造16Fを自己整合マスクに形成される。

## 【0017】

次に図7(M)の工程において前記レジストパターン19Bは除去され、前記低電圧動作トランジスタ領域Bのみを露出するようにレジストパターン19Cが前記Si基板11上に形成される。さらに図7(M)の工程では前記レジストパターン19Cをマスクにp型不純物あるいはn型不純物をイオン注入し、前記領域Bにおいて前記ゲート電極16Bを自己整合マスクに、一対のLDD拡散領域11dを前記Si基板11中、前記ゲート電極16Bの両側に形成する。

## 【0018】

次に図7(N)の工程において前記レジストパターン19Cは除去され、前記高電圧動作トランジスタ領域Cのみを露出するようにレジストパターン19Dが前記Si基板11上に形成される。さらに図7(N)の工程では前記レジストパターン19Dをマスクにp型あるいはn型の不純物元素がイオン注入され、前記Si基板11中、前記ゲート電極16Cの両側に一対のLDD拡散領域11eが形成される。

## 【0019】

さらに図8(O)の工程において前記積層ゲート電極16F、前記ゲート電極16Bおよび前記ゲート電極16Cの両側に側壁絶縁膜16sがCVD酸化膜の堆積およびエッチバックにより形成され、図8(P)の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン19Eを、前記レジストパターン19Eが前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cを露出するように形成される。さらにp型不純物元素あるいはn型不純物元素を前記レジストパターン19Eおよびゲート電極16B、16Cをマスクにイオン注入することにより、前記領域Bにおいては前記Si基板11中、前記ゲート電極16Bの外側にp+型あるいはn+型の拡散領域11fが形成される。同様に前記領域Cにおいては前記Si基板中、前記ゲート電極16Cの外側にp+型あるいはn+型の拡散領域11gが形成される。前記拡散領域11fおよび11g

の表面には、必要に応じてサリサイド工程によりWSiやCoSiなどの低抵抗シリサイド膜を形成することも可能である。

#### 【0020】

さらに図9 (Q) の工程において前記Si基板11上に層間絶縁膜20が前記領域A～Cを連続して覆うように形成され、さらに前記層間絶縁膜20中に前記領域Aにおいては前記拡散領域11bおよび11cを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Aが形成される。同様に前記領域Bにおいては前記拡散領域11fを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Bが形成される。また前記領域Cにおいては前記層間絶縁膜20中に前記拡散領域11gを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ20Cが形成される。

#### 【0021】

##### 【発明が解決しようとする課題】

ところで、このようなフラッシュメモリと周辺回路、さらに高速論理回路を一体的に集積化した半導体集積回路装置を図1 (A) ～図9 (Q) の工程に従って形成する場合、図1 (B) の工程において前記アモルファスシリコン膜13とONO膜14とは図10 (A) に示すように前記フラッシュメモリセル領域Aにおいては平坦なSi基板表面上に形成されるが、前記低電圧動作トランジスタ領域Bあるいは高電圧動作トランジスタ領域Cにおいては前記アモルファスシリコン膜13とONO膜14とは、図10 (B), (C) に示すように前記領域BあるいはCを画成するフィールド酸化膜11Fが形成する凹部中に形成されることになる。

#### 【0022】

そこで図2 (C) の工程において前記領域BおよびCから前記トンネル絶縁膜12Aを除去した場合、図11 (A) ～ (C) の拡大図に示すように、前記領域BおよびCにおいて前記凹部がHFによりエッチングされる。その結果、前記領域BおよびCにおいて前記凹部の深さが多少増大する。

#### 【0023】

さらに図2 (D) の工程において前記領域BおよびCに熱酸化膜12Bを形成

した場合、図12 (A) ~ (C) に詳細に示すように、前記領域BおよびCにおいて前記凹部の底面が前記熱酸化膜12Bにより多少上昇し、周囲のフィールド酸化膜11Fとの間に段差が出現するが、図3 (E) の工程において前記熱酸化膜12Bを前記領域BからHFエッティングにより除去する結果、前記図12 (B) , (C) の段差に対応した段差が、図13 (B) , (C) 中に円で囲んだように前記領域BのSi基板表面とフィールド酸化膜11Fとの境界部に形成されてしまう。これに対し、図13 (A) に示すようにフラッシュメモリセル領域Aは平坦なままである。

## 【0024】

さらに図3 (F) の工程において前記領域B上に熱酸化膜12Bを形成した場合、図14 (B) , (C) に示すように同様な段差が特に前記低電圧動作トランジスタ領域BにおいてSi基板表面とフィールド酸化膜11Fとの境界部に形成されるが、かかる段差部においては前記熱酸化膜12Bの厚さが必然的に減少してしまう。一方、図14 (A) に示すように前記フラッシュメモリセル領域Aでは基板11の表面は平坦なままである。そこで、かかる段差部において熱酸化膜12Bの厚さが減少している構造上に図4 (G) の工程においてゲート電極16を形成して低電圧動作トランジスタを形成した場合、かかるトランジスタはゲート絶縁膜の厚さの異なる、従って異なったしきい値電圧を有する複数のMOSトランジスタの集合体となってしまい、所望の動作特性を得ることができなくなる傾向がある。

## 【0025】

このため、従来のフラッシュメモリセルと低電圧動作トランジスタと高電圧動作トランジスタとを集積した半導体集積回路装置においては、前記低電圧動作トランジスタのゲート絶縁膜12Bの厚さを前記1.5~3.0nm程度に設定してこの問題を回避していた。

## 【0026】

また同様な問題は、図15 (A) , (B) に示す素子分離構造としてフィールド酸化膜11Fの代わりにSTI構造11Gを使った半導体集積回路装置においても生じる。STI構造11Gでは基板主面に対して急峻な角度をなす素子分離

溝上における絶縁膜の膜厚減少の問題が知られており、従って図1 (A) ~図9 (Q) の工程は、この問題をさらに悪化させてしまう。

## 【0027】

さらに図1 (A) ~図9 (Q) の従来の工程では、図2 (C) の工程および図3 (E) の工程の計2回、前記低電圧動作トランジスタ領域BにおいてSi基板11の表面がHF処理されており、その結果、前記領域Bにおいて形成されるMOSトランジスタのしきい値特性が変化してしまうおそれがある。Si基板11の表面には、あらかじめしきい値制御のために一般にわずかな不純物元素が導入されているが、このようにSi基板11の表面を繰り返しHFに曝した場合、基板表面が多少とも侵食されるのが避けられない。これが生じると、形成されるMOSトランジスタのしきい値特性は設計値からずれてしまうことになる。

## 【0028】

一方、最近ではフラッシュメモリ装置を含む半導体集積回路装置において、多数の電源電圧を使いたい要求が強い。このような多電源電圧半導体集積回路装置においては、フラッシュメモリセル以外に、各々の電源電圧に対応して最適な厚さのゲート絶縁膜を有するMOSトランジスタを形成する必要がある。

## 【0029】

図16 (A) ~図22 (M) は、先の図1 (A) ~図9 (Q) の工程を、フラッシュメモリセルのほかに低電圧動作トランジスタ、中電圧動作トランジスタ、および高電圧動作トランジスタを含む半導体集積回路装置の製造のために拡張した場合を示す。ただし図16 (A) ~図22 (M) の工程は、後で説明する問題のため、実際に使用されているものではない。図16 (A) ~図22 (M) 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0030】

図16 (A) を参照するに、前記Si基板11の表面には前記フラッシュメモリセル領域A、低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cの他に中電圧動作トランジスタ領域Dがフィールド酸化膜により画成されて形成されており、図16 (A) の工程においては前記図1 (A) の工程と同様に、前記領域A~Dに一様にトンネル酸化膜12Aが形成されている。

## 【0031】

次に図16 (B) の工程において先の図1 (B) の工程に対応して前記領域A～Dの各々において前記トンネル酸化膜12A上にアモルファスシリコン膜13とONO膜14とが順次形成され、図2 (C) に対応する図17 (C) の工程においてレジストパターン15Aを使い、前記フラッシュメモリセル領域A以外からトンネル酸化膜12A、アモルファスシリコン膜13およびONO膜14を除去し、Si基板11の表面を露出する。図17 (C) の工程では、前記領域B～Dの各々において前記トンネル酸化膜12Aを除去する際に前記Si基板11の表面がHFに曝される。

## 【0032】

次に図17 (D) の工程において前記Si基板11を図2 (D) の工程と同様に熱酸化処理することにより、前記領域B～Dの各々において前記Si基板11の表面を覆うように熱酸化膜12Cが形成される。

## 【0033】

次に図18 (E) の工程において図17 (D) の構造上に前記領域Dを除いてレジストパターン15Dを形成し、前記レジストパターン15DをマスクにHF処理を行うことにより、前記領域Dにおいて前記Si基板11の表面から前記熱酸化膜12Cを除去する。

## 【0034】

次に図18 (F) の工程において前記レジストパターン15Dを除去し、前記領域Dにおいて露出されたSi基板11の表面に800～1100°Cにおける熱酸化処理により、熱酸化膜12Dを5～10nmの厚さに形成する。図18 (F) の工程においては、前記熱酸化処理に伴い、前記領域BおよびCにおいて先に形成された熱酸化膜12Cが成長し、膜厚が増大する。

## 【0035】

次に図19 (G) の工程において図18 (F) の構造上に前記領域Bを除いてレジストパターン15Bを図3 (E) の工程と同様に形成し、前記レジストパターン15BをマスクにHFを使ったウェットエッティング処理を行い、前記領域Bにおいて前記Si基板11の表面から前記熱酸化膜12Cを除去する。

## 【0036】

さらに図19 (H) の工程において前記レジストパターン15Bを除去し、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域Bにおいて前記Si基板11の表面上に熱酸化膜12Bを1.5～3nmの厚さに形成する。図19 (H) の熱酸化工程に伴い、前記領域C上の熱酸化膜12Cおよび前記領域D上の熱酸化膜12Dは成長し、厚さが増大する。

## 【0037】

次に図4 (G) の工程に対応する図20 (I) の工程において、図19 (H) の構造は前記アモルファスシリコン膜16により覆われ、さらに図4 (H) に対応する図20 (J) の工程において前記アモルファスシリコン膜16がレジストパターン17Aをマスクにパターニングされ、その結果前記フラッシュメモリセル領域Aにおいてアモルファスシリコンパターン13A、ONOパターン14Aおよびアモルファスシリコンパターン16Aを積層したフラッシュメモリの積層ゲート構造16Fが形成される。図20 (I) の工程においては前記アモルファスシリコン膜16上に必要に応じてWSiやCoSiなどの低抵抗シリサイド膜を形成することも可能である。

## 【0038】

さらに図5 (I) に対応する図21 (K) の工程において前記領域B～Dにおいて前記アモルファスシリコン膜16がレジストパターン17Bによりパターニングされ、前記領域Bにおいて低電圧動作トランジスタのゲート電極16Bが、前記領域Cにおいて高電圧動作トランジスタのゲート電極16Cが、また前記領域Dにおいて中電圧動作トランジスタのゲート電極16Dが、それぞれ形成される。

## 【0039】

次に図5 (J) に対応する図21 (L) の工程において熱酸化処理により前記ゲート電極16B～16Dおよび前記積層ゲート電極構造16Aは熱酸化膜18により覆われ、さらに先に説明した図6 (K) ～図8 (P) に対応する工程を行うことにより、図22 (M) に示すように前記Si基板11上にフラッシュメモリセルと低電圧動作トランジスタと中電圧動作トランジスタと高電圧動作トラン

ジスタとを集積化した半導体集積回路装置が得られる。ただし図22(M)中、前記中電圧動作トランジスタは層間絶縁膜20中を延在するWプラグ20Dを備え、また前記領域Dにおいて前記Si基板中にLDD拡散領域11hおよび高濃度拡散領域11iを形成されている。なお図22(M)の工程においては前記拡散領域11f, 11g, 11iの表面に必要に応じてサリサイド工程によりWSiやCoSiなどの低抵抗シリサイド膜を形成することも可能である。

#### 【0040】

前記図16(A)～図22(M)の工程による半導体集積回路装置の製造方法では、図16(B)の工程において図23(A)～(D)の拡大図に示すように領域A～Dにおいて前記熱酸化膜12A上にアモルファスシリコン膜13とON膜14とを順次形成した後、図17(C)の工程において前記レジストパターン15Aをマスクに前記領域B～DにおいてSi基板11の表面から前記膜12A, 13および14を除去し、図24(A)～(D)の拡大図に示す構造が前記領域A～Dにおいて得られる。図24(B)～(D)に示すように、前記領域B～Dにおいては露出したSi基板の表面はフィールド酸化膜11Fにより囲まれており、凹部を形成する。

#### 【0041】

次に図17(D)の熱酸化工程により前記領域B～Dの各々においてSi基板11の露出表面が熱酸化され、その結果図25(A)～(D)の拡大図に示すように前記領域B～Dの各々においてSi基板11の表面に、周辺のフィールド酸化膜11Fとの境界部よりもわずかに上方に突出した形で、熱酸化膜12Cが形成される。これに伴い、前記領域B～Dの各々においては、前記熱酸化膜12Cと領域周辺のフィールド酸化膜11Fとの境界部において、前記領域を囲むように前記熱酸化膜12Cの表面に対して相対的な凹部が形成される。

#### 【0042】

次に図18(E)の工程において前記レジストパターン15Dをマスクとしたウェットエッチングの結果、図26(A)～(D)の拡大図に示すように、前記領域Dにおいて前記上方に突出した熱酸化膜12Cがエッチング除去され、これに伴って前記領域Dと周辺のフィールド酸化膜11Fとの間には、前記領域Dを

囲むように、前記S i 基板1 1の表面に対してくぼんだ凹部が形成される。

## 【0043】

さらに図18(F)の熱酸化工程において前記領域Dに熱酸化膜12Dを形成することにより、図27(A)～(D)の拡大図に示すように前記領域BおよびCにおいては前記熱酸化膜12Cが成長し、また前記領域Dには熱酸化膜12Dが形成される。かかる熱酸化膜12Cの成長の結果、前記領域Bおよび領域Cにおいては熱酸化膜12Cの表面と領域周辺部の凹部との間の段差は拡大し、また前記領域Dにおいても前記熱酸化膜12Dの表面と領域周辺部の凹部との間の段差が拡大する。

## 【0044】

そこで図19(G)の工程において前記領域BでS i 基板1 1の表面を覆っている熱酸化膜12Cをレジストパターン15Bをマスクとしたウェットエッティングにより除去した場合、図28(A)～(D)の拡大図に示すように前記フィールド酸化膜11Fの厚さが減少することに伴い前記領域BにおいてS i 基板と周辺のフィールド酸化膜11Fとの間に形成されている凹部(図中に円で囲んで示す)の深さが、さらに増大する。同様に、深い凹部が前記領域Dにおいても周辺のフィールド酸化膜11Fとの間に形成される。

## 【0045】

さらに図20(I)の工程において図29(A)～(D)の構造上にゲート電極を構成するアモルファスシリコン膜16を堆積した場合、特に低電圧動作トランジスタBおよび中電圧動作トランジスタDにおいては、図中に円で囲んだ前記凹部近傍においてゲート絶縁膜12Bあるいは12Dの厚さが極端に薄くなってしまい、これらの部分においてMOSトランジスタのしきい値特性が変調を受けてしまう。

## 【0046】

また前記領域A～Dには、しきい値制御のため、わずかな濃度の不純物元素をあらかじめ導入してあるが、前記図16(A)～図22(M)の工程で前記S i 基板1 1の表面に繰り返しHFによるエッティングを行うと、S i 基板1 1の表面部分が特に領域BあるいはDにおいて侵食されてしまい、しきい値特性が変化す

るおそれがある。

【0047】

このような理由で、図16（A）～図22（M）の工程は実際の半導体装置の製造では使われていない。また上記の問題は、図30（A）～（C）に示すように、素子分離構造として前記フィールド酸化膜11Fの代わりにSTI構造11Gを使った半導体集積回路装置においてはより深刻に現れる。

【0048】

ところで、従来より積層ゲート電極構造の代わりに単層のゲート電極構造を使ったフラッシュメモリ装置が知られている。

【0049】

図31は、かかる単層ゲート電極構造を有するフラッシュメモリセルの構成を示す平面図である。

【0050】

図31を参照するに、Si基板11上にはフィールド酸化膜11Fにより素子領域11Aが画成されており、前記フローティングゲート電極パターン13Aの一端が前記Si基板11上に前記素子領域11Aを横切るように形成されている。前記素子領域11A中には前記フローティングゲート電極パターン13Aを自己整合マスクに、片側にn-型のソース領域11aおよびn+型のソースライン領域11bが形成され、他の側にn+型のドレイン領域11cとが形成されている。

【0051】

前記Si基板11上には前記素子領域11Aに隣接して別の素子領域11Bが形成されており、前記素子領域11B中にはn+型拡散領域11Cが形成されている。前記フローティングゲート電極パターン13Aは他端に前記拡散領域11Cを覆うカップリング部13Acが形成されている。

【0052】

図32（A）は図31中、X-X'に沿った断面図を示す。

【0053】

図32（A）を参照するに、前記Si基板11上には前記ソースライン領域1

1 b とドレイン領域 1 1 c との間にトンネル酸化膜 1 2 A が形成されており、前記フローティングゲート電極パターン 1 3 A は前記トンネル酸化膜 1 2 A 上に形成されているのがわかる。また前記 S i 基板 1 1 中には前記 n+型ソースライン領域 1 1 b の外側に n-型のソース領域 1 1 a が形成されているのがわかる。前記フローティングゲート電極パターン 1 3 A の側壁には側壁絶縁膜が形成されている。

## 【0054】

図32 (B) は、図31中 Y-Y' に沿った断面図を示す。

## 【0055】

図32 (B) を参照するに前記フローティングゲート電極パターン 1 3 A は、前記 S i 基板 1 1 上のフィールド酸化膜 1 1 F 上を図32 (A) のフラッシュメモリセルが形成された素子領域 1 1 A から隣接する素子領域 1 1 A C へと連続的に延在しているのがわかる。前記フローティングゲート電極パターン 1 3 A の端部 1 3 A c は、前記高濃度拡散領域 1 1 C と、酸化膜 1 2 A c を介して容量結合している。

## 【0056】

そこで書き込み (program) 動作時に図33 (A), (B) に示すように前記ソースライン領域 1 1 b を設置し、前記ドレイン領域に +5 V のドレイン電圧を印加し、さらに前記高濃度拡散領域 1 1 C に +10 V の書き込み電圧を印加することにより前記フローティングゲート電極 1 3 A の電位が上昇し、前記素子領域 1 1 A において前記フローティングゲート電極 1 3 A 中へのホットエレクトロンの注入が、トンネル酸化膜 1 2 A を介して生じる。

## 【0057】

一方消去 (erase) 動作時には図33 (C), (D) に示すように前記ドレイン領域 1 1 c および前記高濃度拡散領域 1 1 C を接地し、前記ソースライン領域 1 1 b に +15 V の消去電圧を印加する。その結果、前記フローティングゲート電極 1 3 A 中の電子は前記ソース領域 1 1 a へと前記トンネル酸化膜 1 2 A 中をトンネリングし、さらに前記ソースライン領域 1 1 b を通ってソース電源に吸収される。

## 【0058】

このように図31のフラッシュメモリでは前記高濃度拡散領域11Cがコントロールゲート電極の役割を果たし、従来の積層ゲート構造のフラッシュメモリと異なり、ポリシリコンフローティングゲート電極とポリシリコンコントロールゲート電極との間に先に説明したONO膜14を形成する必要がない。図31のフラッシュメモリで前記ONO膜14の役割を果たすのは酸化膜12Acであるが、前記酸化膜12AcはSi基板11上に熱酸化処理により形成できるため、高品質である。

## 【0059】

図34(A)～図41(O)は、低電圧動作トランジスタB、中電圧動作トランジスタDおよび高電圧動作トランジスタCの他に図31のフラッシュメモリセルを含んだ半導体集積回路装置を製造した場合の製造工程を示す図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0060】

図34(A)を参照するに、前記Si基板11上には、フラッシュメモリセル領域A、低電圧動作トランジスタ領域B、中電圧動作トランジスタ領域Dおよび高電圧動作トランジスタ領域Cの各々に800～1100°Cの温度での熱酸化処理により、熱酸化膜12Cが5～50nmの厚さに形成され、図34(B)の工程においてレジストパターン15<sub>1</sub>を使ったパターニング工程により、前記熱酸化膜12Cが前記フラッシュメモリセル領域Aから除去される。

## 【0061】

次に図35(C)の工程において前記レジストパターン15<sub>1</sub>は除去され、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域A上において前記Si基板11の表面にトンネル酸化膜12Aを5～10nmの厚さに形成する。図35(C)の工程では、前記トンネル酸化膜12Aを形成する熱酸化処理工程の結果、前記領域B～Dの各々において、前記熱酸化膜12Cの成長が生じる。

## 【0062】

次に図35(D)の工程においてレジストパターン15<sub>2</sub>を使ったパターニン

グ工程により、前記中電圧動作トランジスタ領域Dにおいて前記熱酸化膜12Cが除去され、次に図36(E)の工程において前記レジストパターン15<sub>2</sub>を除去した後、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域D上に熱酸化膜12Dを5～10nmの厚さに形成する。図36(E)の工程では、前記熱酸化膜12Dを形成する熱酸化処理工程の結果、前記領域Aにおいて前記トンネル酸化膜12Aの成長が、また前記領域BおよびCにおいて前記熱酸化膜12Cの成長が生じる。

#### 【0063】

次に図36(F)の工程においてレジストパターン153を使ったパターニング工程により、前記低電圧動作トランジスタ領域Bにおいて前記熱酸化膜12Cが除去され、図37(G)の工程において800～1100°Cでの温度で熱酸化処理を行うことにより、前記領域B上に熱酸化膜12Bを1.5～3nmの厚さに形成する。図37(G)の工程では、前記熱酸化膜12Bを形成する熱酸化処理工程の結果、前記領域Aにおいて前記トンネル酸化膜12Aの成長が、また前記領域Cにおいて前記熱酸化膜12Cの成長が、さらに前記領域Dにおいて前記熱酸化膜12Dの成長が生じる。

#### 【0064】

次に図37(H)の工程において前記Si基板11上に一様にPドープされたアモルファスシリコン膜13を150～200nmの厚さに堆積し、これを図38(I)の工程においてレジストパターン17<sub>1</sub>をマスクにパターニングし、前記フラッシュメモリセル領域Aにおいてフローティングゲート電極パターン13Aを、また前記低電圧動作トランジスタ領域Bにおいてゲート電極パターン13Bを、前記中電圧動作トランジスタ領域Dにおいてゲート電極パターン13Dを、さらに前記高電圧動作トランジスタ領域Cにおいてゲート電極パターン13Cを形成する。

#### 【0065】

次に図38(J)の工程において、前記フローティングゲート電極パターン13Aおよびゲート電極パターン13B～13Dの表面を800～900°Cでの熱酸化処理工程により5～10nmの厚さの熱酸化膜18により覆い、図39(

K) の工程においてレジストパターン 17<sub>2</sub>をマスクにP+あるいはA s+を50～80 k e Vの加速電圧下、 $1 \times 10^{14} \sim 3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し、ソース領域 11 a を形成する。

## 【0066】

さらに図39 (L) の工程においてレジストパターン 17<sub>3</sub>により前記領域B～Dを覆い、前記領域Aにおいて前記フローティングゲート電極パターン 13 A を自己整合マスクにA s+のイオン注入を30～50 k e Vの加速電圧下、 $5 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記ソース領域 11 a の内側にn+型のソースライン領域 11 b を、また前記ソース領域 11 a のチャネル領域を隔てて反対側にn+型のドレイン領域 11 c を形成する。

## 【0067】

次に図40 (M) の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン 17<sub>3</sub>を形成し、p型あるいはn型不純物元素をイオン注入することにより、前記領域BにLDD領域 11 d を、前記領域CにLDD領域 11 e を、また前記領域DにLDD領域 11 h を、それぞれ形成する。

## 【0068】

さらに図40 (N) の工程において前記フローティングゲート電極パターン 13 A およびゲート電極パターン 13 B～13 Dの両側壁面に側壁酸化膜 16 s が形成され、図41 (O) の工程において前記フラッシュメモリ領域Aをレジストパターン 17<sub>4</sub>で覆った状態で前記領域B～Dの各々においてp型あるいはn型の不純物元素をイオン注入し、拡散領域 11 f～11 i を形成する。

## 【0069】

しかし、図34 (A)～図41 (O) の工程では、図42 (A)～(D)、図43 (A)～(D)、図44 (A)～(D)、図45 (A)～(D)、図46 (A)～(D)、図47 (A)～(D) および図48 (A)～(D) の拡大図に示すように、前記素子領域A～Dの周辺部、特に領域BおよびDのフィールド酸化膜 11 Fとの境界部近傍に、熱酸化膜の形成とエッチングの繰り返しに起因する深い凹部が形成されてしまい、図48 (B)、(C) に円で囲んで示すように低圧動作トランジスタ領域B中および中電圧動作トランジスタ領域D中にゲート絶

縁膜の膜厚が減少している部分が生じてしまい、かかる領域上に形成されたMOSトランジスタではしきい値特性の変調が生じてしまう。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。図42(A)～(D)は図34(A)の工程に、図43(A)～(D)は図34(B)の工程に、図44(A)～(D)は図35(C)の工程に、図45(A)～(D)は図35(D)の工程に、図46(A)～(D)は図36(E)の工程に、図47(A)～(D)は図36(F)の工程に、図48(A)～(D)は図37(G)の工程に、それぞれ対応する。

#### 【0070】

前記凹部形成およびしきい値特性の変調の問題は、図49(A)～(D)に示すSTI構造の素子分離構造11Gを有する半導体集積回路装置においてより深刻になる。特にSTI構造を有する半導体集積回路装置では、図49(A)に示すようにフラッシュメモリセル領域Aにおいても、素子領域周辺部に凹部が形成されてしまい、その結果フラッシュメモリセルの書き込み特性および消去特性が変化してしまう。

#### 【0071】

また図34(A)～図41(O)の工程では、前記ゲート酸化膜12Cおよび12Dが複数回のレジスト工程と複数回の熱酸化工程の後に形成されるため、図50(A)～(C)に示すようにこれらのゲート酸化膜は積層構造を有し、膜質に問題が生じやすい。

#### 【0072】

さらに図34(A)～図41(O)の工程では図51(A)に示すようにフラッシュメモリセルにおいてもトンネル酸化膜12Aが複数の熱酸化膜の積層より形成されるため欠陥を含みやすく、その結果図51(B)に示すようにフローティングゲート電極13A中に蓄積された電荷がSi基板11へとリークしてしまう問題が生じる。かかる問題が生じると、フラッシュメモリは情報を仕様で定められた期間保持することができなくなる。

#### 【0073】

そこで本発明は上記の課題を解決した新規で有用な半導体集積回路装置および

その製造方法を提供することを概括的課題とする。

【0074】

本発明のより具体的な課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、素子領域周辺における凹部形成の問題、およびこれに伴う信頼性の劣化の問題を解決した製造方法を提供することにある。

【0075】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、含まれる半導体装置中のゲート絶縁膜の膜質を向上させた製造方法を提供することにある。

【0076】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、含まれる半導体装置中のゲート絶遠膜の厚さを正確に制御できる製造方法を提供することにある。

【0077】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、半導体装置毎にゲート電極の高さを変化させ、ゲート抵抗の値を必要に応じて設定することのできる半導体集積回路装置、およびその製造方法を提供することにある。

【0078】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、フラッシュメモリ装置以外の半導体装置においてゲート電極の高さをそろえた半導体集積回路装置およびその製造方法を提供することにある。

【0079】

【課題を解決するための手段】

本発明は上記の課題を、半導体基板表面に、少なくとも第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、前記第1の活性領域中に前記半導体基板の酸化を抑制する不純物元素を導入する工程と、前記半導体基板に対して熱酸化処理を行い、前記第1の活性領域において前

記半導体基板表面を第1の厚さで覆う第1の熱酸化膜を、また前記第2および第3の活性領域において前記半導体基板表面を第2の厚さで覆う第2の熱酸化膜を形成する工程と、前記半導体基板表面に、少なくとも前記第1の活性領域と前記第2の活性領域と前記第3の活性領域とを覆うように耐酸化性膜を形成する工程と、前記耐酸化性膜を前記第1および第2の活性領域に残したまま前記第3の活性領域において前記耐酸化性膜および前記第2の熱酸化膜を除去し、前記半導体基板の表面を露出する工程と、前記半導体基板に対して熱酸化処理を行い、前記第3の活性領域において前記半導体基板表面に、第3の厚さの第3の熱酸化膜を形成し、同時に前記第2の熱酸化膜の膜厚を増大させる工程とを含むことを特徴とする半導体集積回路装置の製造方法により解決する。

## 【0080】

## 【発明の実施の形態】

## 【第1実施例】

図52 (A) ~図55 (G) は、本発明の第1実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

## 【0081】

図52 (A) を参照するに、Si基板11上には先に説明したフィールド酸化膜11Fにより画成されたフラッシュメモリセル領域A、低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cが先の図1 (A) の工程と同様に画成されており、さらに前記Si基板11に対して800~1100°Cでの熱酸化処理を行うことにより、熱酸化膜12Aをフラッシュメモリセルのトンネル酸化膜として形成する。前記熱酸化膜12Aは前記Si基板11上のフラッシュメモリセル領域A以外にも、前記低電圧トランジスタ領域Bおよび高電圧トランジスタ領域Cにおいて前記Si基板11の表面を覆うように形成される。

## 【0082】

次に図52 (B) の工程において図52 (A) の構造上にPにより $2 \times 10^{20}$ ~ $3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープされたアモルファスシリコン膜13がCVD法により80~90nmの厚さに形成され、さらに前記アモルファスシリコン膜

13上にONO膜14が一様に形成される。前記ONO膜14は、600～700°Cの温度でCVD法により5～7nmの厚さに形成されたCVD酸化膜と、前記CVD酸化膜上に700～800°Cの温度でのCVD法により7～9nmの厚さに形成されたSiN膜と、前記SiN膜の表面に900～1000°Cでの熱酸化処理により5～10nmの厚さに形成された熱酸化膜とよりなる。

#### 【0083】

次に図53(C)の工程において図52(B)の構造上に前記高電圧動作トランジスタ領域Cを露出するようにレジストパターン15Aを形成し、前記レジストパターン15Aをマスクに、前記領域Cにおいて前記ONO膜14、前記アモルファスシリコン膜13および熱酸化膜12Aをエッティングにより除去する。さらに図53(D)の工程において前記レジストパターン15Aを除去し、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域C中において前記Si基板11の表面を覆うように熱酸化膜12Cを10～50nmの厚さに形成する。図53(D)の工程では前記領域AおよびBはONO膜14により覆われているため、かかる熱酸化処理を行ってもSi基板11が酸化されることはない。

#### 【0084】

次に図54(E)の工程において図53(D)の構造上に前記低電圧動作トランジスタ領域Bを露出するようにレジストパターン15Bを形成し、前記レジストパターン15Bをマスクに前記領域Bをエッティングし、前記熱酸化膜12Cを除去する。さらに図54(F)の工程において前記レジストパターン15Bを除去し、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域B中において前記Si基板11の表面を覆うように熱酸化膜12Bを1.5～3nmの厚さに形成する。

#### 【0085】

さらに図55(G)の工程において図54(F)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープされたアモルファスシリコン膜13をCVD法により150～200nmの厚さに堆積する。さらに先に図5(I)～図9(Q)で説明したのと同様な工程を行うことにより、Si基板11上にフラッシュメ

モリセルAと低電圧動作トランジスタBと高電圧動作トランジスタCとが集積化された半導体集積回路装置が得られる。

## 【0086】

図56 (A) ~ (C) , 図57 (A) ~ (C) , 図58 (A) ~ (C) , 図59 (A) ~ (C) および図60 (A) ~ (C) は、それぞれ図52 (B) , 図53 (C) , 図53 (D) , 図54 (E) および図54 (F) の工程における領域A, B, Cの状態を示す拡大図である。

## 【0087】

図52 (B) の工程において前記S i 基板11上にアモルファスシリコン膜13とONO膜14とが堆積され、図53 (C) の工程において前記領域Cにおいて前記熱酸化膜12AがHFを使ったウェットエッティング処理により除去されるが、図57 (A) ~ (C) に示すように、この段階では前記領域Cの周辺部での凹部形成は実質的に生じていない。

## 【0088】

次に図53 (D) の工程において前記領域Cに熱酸化膜12Cを形成する場合、他の領域AおよびBは耐酸化性のONO膜14により覆われているため前記S i 基板11表面の酸化が生じることがなく、図58 (A), (B) に示すように熱酸化膜12Aがこれらの領域において成長することはない。

## 【0089】

このため図54 (E) の工程において前記領域Bにおいて熱酸化膜12AをHFによるウェットエッティング処理により除去した場合にも、前記熱酸化膜12Aの膜厚の増大が抑制されるため図59 (B) に示すように前記領域B周辺部に、厚い熱酸化膜をエッティングした場合に生じるような凹部が形成される問題は実質的に生じない。また前記領域B周辺部におけるフィールド酸化膜11Fの膜厚の減少もわずかであり、このため後の工程で前記領域Bに低電圧動作トランジスタを形成した場合でも、フィールド反転の問題が効果的に抑制される。

## 【0090】

また図54 (F) の工程において前記熱酸化膜12Bを前記領域Bに形成する場合でも、前記領域Bの周辺部に生じる凹部は図60 (B) に円で囲んで示すよ

うにごくわずかであり、しかもこれらのバーズピーク領域においてフィールド酸化膜11Fの膜厚の減少も生じない。その結果、前記熱酸化膜12Bには前記領域Bの縁辺部においても膜厚の減少が生じることがなく、前記領域Bに低電圧動作トランジスタを形成した場合でもしきい値の変動が生じることはない。

## 【0091】

また、図52(A)～55(G)の工程では、前記領域BおよびCがHFに曝されるのは、領域Cについては図53(C)の工程のみ、また領域Bについては図54(E)の工程のみであり、その結果これらの領域には良質な熱酸化膜が形成される。

## 【0092】

図61(A), (B)は、本実施例工程をSTI構造を有するSi基板に対して適用した場合を示す。

## 【0093】

図61(A), (B)を参照するに、前記領域Bあるいは領域Cとその周辺のSTI領域11Gとの境界部に図15(A), (B)におけるような深い凹部が形成される問題が解消し、形成されるトランジスタのしきい値特性が安定化する。

## 【変形例1】

図62(A)～図63(D)は、本実施例の一変形例による半導体集積回路装置の製造工程を示す。

## 【0094】

図62(A)を参照するに、本変形例では前記領域A～Cの各々においてSi基板11上にトンネル絶縁膜12Aが形成された後、図62(B)の工程でアモルファスシリコン膜13およびONO膜14が順次堆積されるが、図62(B)の工程では前記アモルファスシリコン膜13がパターニングされており前記領域BおよびCから除去されている。その結果、前記領域BおよびCにおいては前記ONO膜14は前記トンネル絶縁膜12Aの表面に直接に形成されている。

## 【0095】

本実施例ではさらに図63(C)の工程においてレジストパターン15Aを使

ったパターニングにより前記ONO膜14およびトンネル絶縁膜12Aが前記領域CにおいてSi基板11の表面から除去されており、このようにして露出されたSi基板11の表面に図63(D)の工程において800～1100°Cの温度での熱酸化処理を行い、前記熱酸化膜12Cを10～50nmの厚さに形成する。

## 【0096】

さらに先に図54(E)～55(G)で説明したのと同様な工程を実行することにより、所望の半導体集積回路装置が得られる。

## 【0097】

本変形例においても図63(D)の熱酸化工程において低電圧トランジスタ形成領域Bは耐酸化性のONO膜14により覆われており、その結果前記トンネル酸化膜12Aが成長することはなく、後で前記トンネル酸化膜12Aをウェットエッティング処理により除去しても領域B周辺部に深い凹部が形成されることはない。

## [変形例2]

図64(A)～図67(H)は、本実施例をSi基板11上に画成された領域Dにさらに中電圧動作トランジスタが形成される場合に拡張した変形例を示す。

## 【0098】

図64(A)を参照するに、前記領域A～Dの各々においてSi基板11の表面にはトンネル酸化膜12が800～1100°Cの温度での熱酸化処理工程により8～10nmの厚さに形成されており、図64(B)の工程においてさらにアモルファスシリコン膜13とONO膜14とが、先に説明した工程によりそれぞれ80～90nmおよび7～9nmの厚さに形成される。

## 【0099】

次に図65(C)の工程において図64(B)の構造上にレジストパターン15Aが前記領域Cを露出するように形成され、前記レジストパターン15Aをマスクに前記ONO膜14およびアモルファスシリコン膜13およびトンネル酸化膜12Aを順次ウェットエッティングすることにより、前記領域CにおいてSi基

板11の表面を露出する。

【0100】

次に図65(D)の工程において前記レジストパターン15Aを除去し、さらに前記ONO膜14を前記領域A、BおよびDにおいて耐酸化性マスクとして使った800～1100°Cでの熱酸化処理により、前記領域C上に熱酸化膜12Cを5～50nmの厚さに形成する。

【0101】

さらに図66(E)の工程において図65(D)の構造上にレジストパターン15Dを前記中電圧動作トランジスタ領域Dのみを露出するように形成し、前記領域Dにおいて前記ONO膜14およびアモルファスシリコン膜13およびトンネル酸化膜12Aをウェットエッティング処理により除去する。

【0102】

さらに図66(F)の工程において前記レジストパターン15Dを除去し、さらに前記ONO膜14を耐酸化性マスクとして使った800～1100°Cでの熱酸化処理により、前記領域D上に熱酸化膜12Dを5～10nmの厚さに形成する。図66(F)の工程では、前記熱酸化膜12Dを形成する熱酸化処理に伴い、前記領域Cの熱酸化膜12Cも成長し、膜厚が増大する。

【0103】

次に図67(G)の工程において図66(F)の構造上に前記領域Bを露出するレジストパターン15Bを形成し、前記レジストパターン15Bをマスクに前記ONO膜14およびアモルファスシリコン膜13およびトンネル酸化膜12Aをウェットエッティングにより順次除去し、前記領域Bにおいて前記Si基板11の表面を露出する。

【0104】

さらに図67(H)の工程において前記レジストパターン15Bを除去し、800～1100°Cでの熱酸化処理工程を行うことにより、前記領域Bにおいて前記Si基板11上に熱酸化膜12Bを1.5～3nmの厚さに形成する。図67(H)の工程では、前記熱酸化膜12Bを形成する熱酸化処理工程に伴って、前記熱酸化膜12Cおよび12Dの厚さも増大する。

## 【0105】

さらに図67(H)の工程の後、先に図20(I)～(M)で説明した工程を実行し、前記Si基板11上にフラッシュュメモリセルAと低電圧動作トランジスタBと中電圧動作トランジスタDと高電圧動作トランジスタCとを集積した半導体集積回路装置が得られる。

## 【0106】

本変形例によれば、熱酸化膜を形成してはウェットエッチングで除去する工程が領域A～Dのいずれにおいても繰り返されることがなく、その結果図68(A)～(D)に示すように素子領域A～Dの周辺部における凹部形成が抑制され、特に薄いゲート絶縁膜を使う低電圧動作トランジスタ領域Bおよび中電圧動作トランジスタ領域Dにおいてしきい値特性が変調される問題が回避される。

## 【0107】

本発明は図69(A)～(C)に示すようにSTI構造Gを有する半導体集積回路装置においても適用可能であり、特に素子領域BおよびCの周辺部におけるゲート絶縁膜の膜厚減少の問題が効果的に回避される。

## 【0108】

さらに本発明によれば、前記領域B～DのいずれにおいてもHFによる熱酸化膜のエッチング工程は一度だけしかなされないため、形成されるトランジスタのしきい値特性はさらに安定する。

## [第2実施例]

図70(A)～図75(K)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

## 【0109】

図70(A)を参照するに、本実施例ではSi基板11上に酸化膜110を形成し、さらに前記酸化膜110上に中電圧動作トランジスタ形成領域Bを露出する開口部を有するレジストパターン111Aを形成し、前記レジストパターン111をマスクに窒素イオンを20～50keVの加速電圧下、 $1 \times 10^{14} \sim 1 \times$

$10^{15} \text{ cm}^{-2}$  のドーズ量でイオン注入する。

【0110】

次に図70 (B) の工程において前記レジストパターン111Aを除去し、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域A～Cの各々において前記Si基板11の表面にトンネル酸化膜12Aを形成する。図70 (B) の工程では前記領域DではSi基板11中に窒素が導入されているため酸化速度が遅く、その結果、前記領域Dには前記トンネル酸化膜12Aを形成する熱処理工程において、前記酸化膜12Aよりも小さな厚さの熱酸化膜12Dが形成される。

【0111】

次に図71 (C) の工程において図70 (B) の構造上にアモルファスシリコン膜13とONO膜14とを順次積層し、図71 (D) の工程において前記高電圧動作トランジスタ領域Cを露出するレジストパターン111Bを形成し、前記領域Cにおいて前記ONO膜14とアモルファスシリコン膜13とトンネル酸化膜12Aとをウェットエッティングにより除去する。

【0112】

さらに図72 (E) の工程において前記レジストパターン111Bを除去し、800～1100°Cでの熱酸化処理工程により、前記領域C上に熱酸化膜12Cを形成する。図72 (E) の熱酸化処理工程では前記領域A、BおよびDは耐酸化性のONO膜14により保護されている。

【0113】

次に図72 (F) の工程において図72 (E) の構造上に前記低電圧動作トランジスタ領域Bを露出するレジストパターン111Cを形成し、図73 (G) の工程で前記レジストパターン111Cを除去した後、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域B中において前記Si基板11表面に厚さが1.5～3nmの熱酸化膜12Bを形成する。図73 (G) の工程では、前記熱酸化膜12Bの形成と同時に、前記領域Cにおいて熱酸化膜12Cの成長が生じる。

【0114】

さらに図73 (H) の工程において図73 (G) の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープしたアモルファスシリコン膜16を100~150nmの厚さに堆積し、図74 (I) の工程において前記領域B~Dを覆うレジストパターン111Dにより、前記フラッシュメモリセル領域Aにおいて積層ゲート電極構造16Fをパターニングする。なお、図73 (G) の工程において前記アモルファスシリコン膜16上にWSiやCoSi等の低抵抗シリサイド膜を必要に応じて形成することも可能である。

## 【0115】

さらに図74 (J) の工程において前記領域Aを覆う別のレジストパターン111Eをマスクに前記領域BおよびCにおいて前記アモルファスシリコン膜16をパターニングし、前記領域Bにおいてゲート電極パターン16Bを、また前記領域Cにおいてゲート電極パターン16Cを形成する。

## 【0116】

次に図75 (K) の工程において前記領域A~Cを覆うレジストパターン111Fを形成し、前記レジストパターン111Fをマスクに前記領域Dにおいて前記ONO膜14およびアモルファスシリコン膜13をパターニングし、ゲート電極16Dを形成する。

## 【0117】

さらに図75 (K) の工程の後、先に説明した図38 (J) ~図41 (O) に対応する工程を実行し、Si基板11上にフラッシュメモリセルAと低電圧動作トランジスタBと中電圧動作トランジスタDと高電圧動作トランジスタCとを集積化した半導体集積回路が得られる。

## 【0118】

本実施例においても前記領域B~Dの各々において熱酸化工程とウェットエッチング工程とが繰り返されることはなく、素子領域の周辺に深い凹部が形成されることはない。このため素子領域の縁辺部においてゲート酸化膜の膜厚が減少しMOSトランジスタのしきい値特性が変化してしまう問題が回避される。さらに素子領域が繰り返しHFに曝されることによるMOSトランジスタのしきい値特性の変化も回避される。

## 【0119】

図76 (A) ~ (C) は、本実施例により前記領域A, DおよびC上に形成される低電圧動作トランジスタ、中電圧動作トランジスタおよび高電圧動作トランジスタの概略的形状を示す。ただし図76 (A) ~ (C) は、先の図75 (K) に示すレジストパターン11FおよびONO膜14を除去した状態を示している。

## 【0120】

先に説明した工程および図76 (B) よりわかるように、本実施例では中電圧動作トランジスタDのゲート絶縁膜12Dが单一の熱酸化処理工程により形成されるため優れた膜質が得られ、また正確な膜厚の制御が可能となる。その結果、前記トランジスタDの動作特性が向上する。

## 【0121】

また先に説明した工程および図76 (C) よりわかるように、本実施例では前記高電圧動作トランジスタCのゲート絶縁膜12Cの形成の際、2回目の熱酸化工程は低電圧動作トランジスタ領域Bにおける熱酸化膜12Bの形成の際に生じるが、かかる熱酸化工程による膜厚の増大はわずかであり、実質的に前記ゲート絶縁膜12Cの膜厚は図72 (E) の工程で決定される。このため、本実施例では形成される高電圧動作トランジスタCの動作特性も向上する。

## [第3実施例]

図77 (A) ~ 82 (L) は、本発明の第3実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参考符号を付し、説明を省略する。

## 【0122】

本実施例では図77 (A) ~ 図80 (G) の工程は先の実施例の図71 (A) ~ 図73 (G) の工程と同じであり、図80 (G) の工程において図73 (G) と同じ構造が得られる。

## 【0123】

本実施例では次に図80 (H) の工程においてレジストパターン112Aをマ

スクに前記中電圧動作トランジスタ領域Dから前記ON膜14が除去され、さらに図81(I)の工程において前記レジストパターン112Aを除去した後、Pにより $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープされたアモルファスシリコン膜16を堆積される。その際前記領域Dにおいては図80(H)の工程においてアモルファスシリコン膜13が露出されているため、前記領域Dにおいては熱酸化膜12D上においてアモルファスシリコン膜13とアモルファスシリコン膜16とが積層された構造が得られる。

## 【0124】

さらに図81(J)～図82(L)の工程においてレジストパターン111D, 111Eおよび111Fを使ったパターニング工程が実行され、領域Aにフラッシュメモリセルが、領域Bに低電圧動作トランジスタが、領域Cに高電圧動作トランジスタが、また領域Dに中電圧動作トランジスタが形成される。

## 【0125】

図83(A)～(C)は、前記領域A、領域Dおよび領域C上にそれぞれ形成された低電圧動作トランジスタと中電圧動作トランジスタと高電圧動作トランジスタの概略的断面形状を示す。

## 【0126】

図83(A)～(C)を参照するに、本実施例により得られる半導体集積回路装置では、領域ごとにゲート電極の厚さを変化させることが可能である。このようなゲート電極の高さの変化に加えて、前記アモルファスシリコン膜13とアモルファスシリコン膜16とで比抵抗を変化させることにより、本実施例では前記半導体集積回路装置上のトランジスタのゲート抵抗を必要に応じて変化させることができになる。このようなゲート抵抗の調整は、特にアナログ回路を含む半導体集積回路装置では重要である。特に低抵抗が要求されるゲート電極では、アモルファスシリコン膜16の表面にシリサイド層を形成するのが好ましい。

## [第4実施例]

図84(A)～図89(L)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し

、説明を省略する。

【0127】

図84(A)～図89(L)を参照するに、図84(A)～図87(G)までの工程は先の図77(A)～80(G)の工程と実質的に同じであり、従って図87(G)の工程において図80(G)の構造に対応する構造が得られる。

【0128】

本実施例では次の図87(H)の工程において図87(G)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度でドープされたアモルファスシリコン膜16をCVD法により80～90nmの厚さに堆積し、図88(I)の工程において前記中電圧トランジスタ領域Dを露出するレジストパターン112Aをマスクに、前記領域Dにおいて前記アモルファスシリコン膜16およびONO膜14を除去する。

【0129】

さらに図88(J)の工程において前記レジストパターン112Aを除去し、さらにPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープされたアモルファスシリコン膜21をCVD法により80～90nmの厚さに堆積する。あるいは前記アモルファスシリコン膜21の代わりに低抵抗シリサイド膜を使用することも可能である。また拡散領域形成後にサリサイド工程により前記アモルファスシリコン膜21の代わりにシリサイド層を形成することも可能である。

【0130】

次に図89(K)の工程においてレジストパターン111Dを使い、前記フランシュメモリセル領域Aに積層ゲート構造16Fを形成する。本実施例では前記積層ゲート構造16Fはアモルファスシリコンパターン13AとONOパターン14Aとアモルファスシリコンパターン16Aと、さらに前記アモルファスシリコン膜21をパターニングして形成したアモルファスシリコンパターン21Aの積層により形成される。

【0131】

次に図89(L)の工程において別のレジストパターン111Gを使って前記アモルファスシリコン膜21およびその下のアモルファスシリコン膜16あるいは

は13をパターニングすることにより、前記領域Bにゲート電極16Bを、領域Cにゲート電極16Cを、領域Dにゲート電極16Dを、それぞれアモルファスシリコン膜16と21の積層により、あるいはアモルファスシリコン膜13と21の積層により、形成する。

## 【0132】

図90(A)～(D)は、このようにしてSi基板11上に形成されたフラッシュメモリセルと低電圧動作トランジスタと中電圧動作トランジスタと高電圧動作トランジスタの、概略的な断面構造をそれぞれ示す。

## 【0133】

図90(A)～(D)を参照するに、前記アモルファスシリコン膜13と16、および21の厚さを選ぶことにより、前記ゲート電極16B、16C、16Dの高さを揃えることが可能であることがわかる。このように電極16B～16Dの高さを揃えることにより、これらのトランジスタよりなる周辺回路を形成する際にトランジスタのゲート電極を一括してパターニングすることが可能になる。また前記アモルファスシリコン膜13、16、21の抵抗率を変化させることにより、前記ゲート電極16B～16Dの抵抗値を回路設計により要求される値に合致させることが可能になる。

## [第5実施例]

図91(A)～図96(K)は本発明の第5実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0134】

図91(A)～図96(K)を参照するに、図91(A)～図94(G)までの工程は先の図84(A)～87(G)までの工程と同様であり、図94(G)の工程において図87(G)に対応した構造が得られる。

## 【0135】

本実施例では次に図94(H)の工程において図94(G)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープされたアモルファスシリコン膜16

をCVD法により150~200nmの厚さに形成し、続いて酸窒化膜16ONをスパッタリングにより100~150nmの厚さに形成する。さらに必要に応じて拡散領域形成後に、サリサイド工程により低抵抗シリサイド層を形成することも可能である。

## 【0136】

次に図95(I)の工程でレジストパターン111Hをマスクに前記フラッシュメモリセル領域Aにおいて酸窒化膜16ONおよびアモルファスシリコン膜16をパターニングしてアモルファスシリコンパターン16Aを形成し、さらに中電圧トランジスタ形成領域Dにおいてアモルファスシリコン膜16を除去する。

## 【0137】

さらに図95(J)の工程において前記領域B~Dをレジストパターン111Iにより覆い、前記フラッシュメモリセル領域Aにおいて前記アモルファスシリコンパターン16A上の酸窒化膜パターン16ONをマスクに、前記ONO膜14およびアモルファスシリコンパターン13をパターニングして積層ゲート電極構造16Fを形成する。

## 【0138】

さらに図96(K)の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン111Gを形成し、前記レジストパターン111Gをマスクに前記領域B~Dの各々において前記酸窒化膜16ONあるいはONO膜14およびアモルファスシリコン膜16あるいは13をパターニングすることにより、それぞれのゲート電極を形成する。

## 【0139】

図97(A)~(D)は、本実施例により形成される半導体集積回路中のフラッシュメモリセルA、低電圧動作トランジスタB、中電圧動作トランジスタDおよび高電圧動作トランジスタCの概略的断面構造を示す。ただし図97(A)~(D)の構造は、図96(K)中に示すレジストパターン111Gを除去し、さらに酸窒化膜16ONおよびONO膜14を除去した状態で示してある。

## 【0140】

図97(A)~(D)、特に図97(B)~(D)に示すように本実施例では

アモルファスシリコン膜13および16の厚さを同じに設定することにより、前記低電圧動作トランジスタB、中電圧動作トランジスタDおよび高電圧動作トランジスタCのゲート電極の高さを揃えることが可能になる。一方、これらのゲート電極では、前記アモルファスシリコン膜13の抵抗率とアモルファスシリコン膜16の抵抗率とを異ならすことにより、同じゲート電極高さでありながら、ゲート抵抗を異ならせることが可能になる。

#### [第6実施例]

図98(A)～図102(J)は、本発明の第6実施例による半導体集積回路装置の製造工程を示す図である。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。本実施例においては、前記半導体集積回路中に形成されるフラッシュメモリセルは、先に図31において説明した単層ゲート電極構造を有する。

#### 【0141】

図98(A)を参照するにSi基板11の表面には800～1100°Cでの熱酸化処理工程により熱酸化膜12Bが1.5～3nmの厚さに形成され、さらに図98(B)の工程において図98(A)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度でドープしたアモルファスシリコン膜31を150～200nmの厚さにCVD法により堆積する。さらに必要に応じて、このようにして形成されたアモルファスシリコン膜31の表面にWSiやCosiなどの低抵抗シリサイド層を、拡散領域が形成された後にサリサイド法により形成してもよい。

#### 【0142】

次に図99(C)の工程において図98(B)の構造上に前記領域A～BおよびDを覆うレジストパターン32Aを形成し、前記レジストパターン32Aをマスクに、前記領域Cにおいてアモルファスシリコン膜31および熱酸化膜12Bをウェットエッチングにより除去する。

#### 【0143】

さらに図99(D)の工程において前記レジストパターン32Aを除去し、さらに800～1100°Cの温度での熱酸化処理工程を行うことにより、前記領

域Cにおいて露出されているSi基板11の表面に熱酸化膜12Cを5~50nmの厚さに形成する。図99(D)の工程では、領域A~BおよびDにおいては同時に前記アモルファスシリコン膜31上にも熱酸化膜12Cが成長するが、これらの領域はアモルファスシリコン膜31および熱酸化膜12Bにより覆われているため、Si基板11の表面が酸化されることはない。

## 【0144】

次に図100(E)の工程において図99(D)の構造上に前記領域Dを露出するレジストパターン32Bを形成し、前記レジストパターン32Bをマスクに前記Si基板11中に窒素イオンを、50~150keVの加速電圧下、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

## 【0145】

さらに図100(F)の工程において前記レジストパターン32Bを除去し、前記領域Bを覆うレジストパターン32Cを形成し、前記レジストパターン32Cをマスクに前記領域AおよびDにおいて前記熱酸化膜12Cおよびアモルファスシリコン膜31、さらに熱酸化膜12Bをエッティングにより除去する。

## 【0146】

次に図101(G)の工程において前記レジストパターン32Cを除去し、さらに800~1100°Cの温度での熱酸化処理工程により、前記領域Aにおいてトンネル酸化膜12Aを8~10nmの厚さに形成する。図101(G)の工程では前記領域Dにおいても熱酸化膜12Dが成長するが、前記領域Dにおいては先に図100(E)の工程において窒素イオンがSi基板11中に導入されているため、前記熱酸化膜12Dの厚さは5~7nm程度に抑制される。前記領域Cにおいては前記熱酸化膜12Cがさらに成長する。

## 【0147】

次に図101(H)の工程において図101(G)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープされたアモルファスシリコン膜33が150~200nmの厚さにCVD法により堆積される。前記アモルファスシリコン膜33の表面には必要に応じて低抵抗シリサイド層を、拡散領域形成工程の後でシリサイド法により形成してもよい。

## 【0148】

次に図102 (I) の工程においてレジストパターン32Dをマスクに前記フラッシュメモリセル領域Aにおいて前記アモルファスシリコン膜33をパターニングし、図31に示すフローティングゲート電極パターン13Aを形成する。また図102 (I) の工程では、同時に前記領域Bにおいて前記アモルファスシリコン膜33が除去される。

## 【0149】

さらに図102 (J) の工程においてレジストパターン32Eをマスクに前記領域Bにおいて前記熱酸化膜12Cおよびアモルファスシリコン膜31を、また前記領域CおよびDにおいてアモルファスシリコン膜33をパターニングして先の実施例におけるゲート電極16B, 16Cおよび16Dを形成する。

## 【0150】

図103 (A) ~ (D) は本実施例により得られた半導体集積回路装置の領域A~Dを拡大して示す。

## 【0151】

図103 (B) を参照するに、本実施例工程では前記領域BにおいてSi基板11表面をHFエッティングにより露出する工程が含まれておらず、このため前記領域B周辺部においてフィールド酸化膜11Fがエッティングされることはなく、凹部が形成されることはない。また前記領域A、CおよびDにおいても前記Si基板11の表面がエッティングにより露出される工程は1回だけであり、従って酸化膜エッティングに伴って素子領域周辺のフィールド酸化膜11Fに生じる凹部形成は、図103 (A), (C) および (D) に示すように最小限に抑制される。その結果、素子領域周辺部におけるMOSトランジスタのしきい値変調の問題が解消される。またこれに伴って素子領域縁辺部においてゲート酸化膜の膜厚が減少する問題も回避され、MOSトランジスタの信頼性が向上する。さらに図103 (D) に示すように高電圧動作トランジスタ領域Cの周辺におけるフィールド酸化膜11Fの膜厚の減少が抑制されたため、本実施例による半導体集積回路装置ではフィールド反転の問題が生じない。

## 【0152】

上記の本発明の効果は、図104 (A) ~ (D) に示すように素子分離構造としてフィールド酸化膜11Fの代わりにSTI構造11Gを使った場合においても同様に得られる。すなわち本実施例では、図104 (A) ~ (C) において円で囲んで示したように、素子領域周辺部における凹部の深さを効果的に抑制することができる。

## 【0153】

図105 (A) ~ (D) は、本実施例により得られるフラッシュメモリセルA, 低電圧動作トランジスタB, 中電圧動作トランジスタD、および高電圧動作トランジスタCのトンネル酸化膜あるいはゲート酸化膜の構造を示す。

## 【0154】

図105 (A) ~ (C) よりわかるように、前記フラッシュメモリセルAのトンネル酸化膜は単一の熱酸化膜12Aにより形成されており、また低電圧動作トランジスタBおよび中電圧動作トランジスタDのゲート酸化膜も、それぞれ単一の熱酸化膜12Bおよび12Dより構成される。このためこれらのトランジスタではゲート酸化膜の膜厚の制御が容易であり、また優れた膜質を得ることができる。さらに高電圧動作トランジスタCにおいても、ゲート酸化膜12Cの主要部は単一の熱酸化工程により形成されており、優れた膜質が得られる。

## [変形例]

図106 (A) ~図106 (I) は前記本発明の第6実施例の一変形例を示す。

## 【0155】

図106 (A) ~図106 (I) を参照するに、図101 (A) ~図107 (D) の工程までは先の図98 (A) ~図99 (D) の工程と同様であり、その結果、図107 (D) の工程において図99 (D) に対応した構造が得られる。

## 【015.6】

次に図108 (E) の工程において先の図100 (E) と同様に前記領域Dを露出するレジストパターン32Bが形成されるが、図108 (E) の工程では前記レジストパターン32Bをマスクに前記熱酸化膜12Cおよびアモルファスシリコン膜31が除去され、図108 (F) の工程で同じレジストパターン32B

をマスクに窒素イオンを20~50keVの加速電圧下、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でシリコン基板11中にイオン注入する。図108(F)の工程では前記領域D以外はレジストパターン32Bにより覆われているため、領域A, BおよびCにおいてはかかる窒素イオンのイオン注入は生じない。

## 【0157】

次に図109(G)の工程において同じレジストパターン32Bをマスクに前記領域Dにおいて熱酸化膜12Bが除去され、さらに図109(H)の工程において前記レジストパターン32Bが除去され、新たなレジストパターン32Fをマスクに前記フラッシュメモリセル領域Aにおいて前記熱酸化膜12Cおよびアモルファスシリコン膜31を除去する。

## 【0158】

次に図110(I)の工程において前記レジストパターン32Fが除去され、その結果先に図101(G)で説明したのと同様な構造が得られる。

## 【0159】

従って、図101(H)~図102(J)の工程を行うことにより、先に図103(A)~(D), 図104(A)~(D)および図105(A)~(D)に示す特徴を有する半導体集積回路装置が得られる。

## [第7実施例]

図111(A)~図115(J)は、本発明の第7実施例による半導体集積回路装置に製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0160】

本実施例では前記領域Aに先の図98(A)~図102(J)の実施例で説明した単層ゲート電極構造を有するフラッシュメモリセルを形成するが、本実施例では形成されるフラッシュメモリセルはトンネル絶縁膜としてONO膜を有する。

## 【0161】

図111(A)を参照するに、前記Si基板11上には前記領域A~Dの各々

においてONO膜14が、800～1100°Cでの熱酸化処理工程により形成された熱酸化膜上に700～800°CでのCVD法により厚さが10～15nmのSiN膜を形成し、さらに前記SiN膜の表面に900～1000°Cでの熱酸化処理工程により厚さが5～10nmの熱酸化膜を形成する工程により形成される。

## 【0162】

次に図111(B)の工程において図111(A)の構造上に領域Cを露出するレジストパターン42Aを形成し、前記レジストパターン42Aをマスクに前記領域DにおいてONO膜14をウェットエッチングにより除去する。

## 【0163】

さらに図112(C)の工程において図111(B)の構造に対して800～1100°Cの温度で熱酸化処理を行い、熱酸化膜12を5～50nmの厚さに形成する。図112(C)の工程では前記領域A、BおよびDは前記ONO膜14により覆われているため、前記Si基板11の表面が酸化されることはない。

## 【0164】

次に図112(D)の工程において図111(C)の構造上に前記領域Dを露出するレジストパターン42Bを形成し、さらに前記レジストパターン42Bをマスクに前記ONO膜14を除去することにより、前記領域Dにおいて前記Si基板11の表面を露出する。

## 【0165】

次に図113(E)の工程において前記レジストパターン42Bを除去し、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域C上に熱酸化膜12Dを5～10nmの厚さに形成する。図113(E)の熱酸化処理工程に伴い前記領域Cにおいて熱酸化膜12Cの厚さが増大するが、領域AおよびBは前記ONO膜14に覆われているため、Si基板11の表面が酸化することはない。

## 【0166】

次に図113(F)の工程において図113(E)の構造上に前記領域Bを露出するレジストパターン42Cが形成され、前記レジストパターン42Cをマス

クに前記領域Bにおいて前記ON膜14をウェットエッチングし、前記Si基板11の表面を露出する。

## 【0167】

次に図114(G)の工程において前記レジストパターン42Cを除去し、800～1100°Cの温度での熱処理工程を行うことにより、前記Si基板11の表面に厚さが1.5～3nmの熱酸化膜12Bを形成する。

## 【0168】

さらに図114(H)の工程において図114(G)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドープしたアモルファスシリコン膜を150～200nmの厚さに堆積し、図115(I)の工程においてレジストパターン42Dをマスクに、前記領域A上にコントロールゲート電極16Aを、領域Bにゲート電極16Bを、領域Cにゲート電極16Cを、さらに領域Dにゲート電極16Dをそれぞれ形成する。

## 【0169】

次に図115(J)の工程において前記レジストパターン42Dを除去し、さらに前記領域Aを露出するレジストパターン42Eを形成し、前記領域Aにおいて前記コントロールゲート電極16Aを自己整合マスクにAs+のイオン注入を行、30～50keVの加速電圧下、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、ソース領域11bおよびドレイン領域11cを形成する。

## 【0170】

さらに図102(J)以下の工程を行うことにより、先に図103(A)～(D)、図104(A)～(D)および105(A)～(D)で説明した特徴を有する単層ゲート構造のフラッシュメモリセルを有する半導体集積回路装置が得られる。

## [第8実施例]

図116は本発明の第8実施例によるフラッシュメモリセルの構成を示す平面図である。

## 【0171】

図116を参照するに、S i 基板11の表面にはフィールド酸化膜11Fにより画成された一对のn+型拡散領域111および11mがそれぞれソース領域およびドレイン領域として形成されており、さらに前記S i 基板11上には前記拡散領域111および11mを横切るようにコントロールゲート電極16Aが形成されている。

## 【0172】

図117は図116のフラッシュメモリセルのY-Y'に沿った断面図を示す。

## 【0173】

図117を参照するに、前記S i 基板111上にはONO膜14が形成されており、前記コントロールゲート電極16Aは前記ONO膜14上を前記拡散領域111から11mへと延在することがわかる。

図118 (A) および (B) は、図116, 117のフラッシュメモリセルの動作原理を説明する。

## 【0174】

図118 (A) を参照するに、書き込み動作時には前記コントロールゲート電極16Aに+10Vの書き込み電圧が印加され、さらに前記ドレイン領域11mに+5Vの書き込み電圧が印加される。その結果、前記S i 基板11中を前記ソース領域111からドレイン領域11mへと流れる電子がドレイン領域11m近傍においてホットエレクトロンを形成し、形成されたホットエレクトロンが前記ONO膜14中に注入され、情報として保持される。

## 【0175】

一方前記ONO膜14中に書き込まれた情報を消去する場合には、図118 (B) に示すように前記コントロールゲート電極16Aに-10Vの消去電圧を印加し、さらに前記ドレイン電極10bに+5Vの消去電圧が印加される。その結果、前記S i 基板11中を前記ソース領域111からドレイン領域11mへと流れるホールが前記ドレイン領域11m近傍においてホットホールを形成し、前記ONO膜14中に注入されて保持されている電子を中和する。なお、図118 (A) の書き込みは、ドレインアバランシェを発生させることによっても可能であ

り、また図118（B）の消去もドレインアバランシェを発生させることでも可能である。

【0176】

図119（A），（B）は、前記図116のフラッシュメモリセルを含む半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参考符号を付し、説明を省略する。

【0177】

図119（A）を参照するに、Si基板11上には前記領域A～Dの各々において先の実施例と同様なONO膜14が形成され、さらに図119（B）の工程において図119（A）の構造上に前記領域B～Dを覆うレジストパターン52Aが形成され、前記領域Aにおいて前記レジストパターン52AをマスクにAs<sup>+</sup>を30～50keVの加速電圧下、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記ソース領域111およびドレイン領域11mを形成する。

【0178】

さらに図119（B）に引き続き、図99（C）～図102（J）と同様な工程を、前記熱酸化膜12bをONO膜14により置き換えて実行することにより、先に図103（A）～（D），図104（A）～（D）および図105（A）～（D）で説明した特徴を有する半導体集積回路装置が得られる。

【0179】

以上、本発明を好ましい実施例について説明したが、本発明はかかる実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0180】

（付記1） 半導体基板表面に、少なくとも第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域中に前記半導体基板の酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第1の活性領域において前記半導体基板表面を第1の厚さで覆う第1の熱酸化膜を、また前記第2および第3

の活性領域において前記半導体基板表面を第2の厚さで覆う第2の熱酸化膜を形成する工程と、

前記半導体基板表面に、少なくとも前記第1の活性領域と前記第2の活性領域と前記第3の活性領域とを覆うように耐酸化性膜を形成する工程と、

前記耐酸化性膜を前記第1および第2の活性領域に残したまま前記第3の活性領域において前記耐酸化性膜および前記第2の熱酸化膜を除去し、前記半導体基板の表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第3の活性領域において前記半導体基板表面に、第3の厚さの第3の熱酸化膜を形成し、同時に前記第2の熱酸化膜の膜厚を増大させる工程とを含むことを特徴とする半導体集積回路装置の製造方法。

(付記2) 半導体基板表面に、少なくともフラッシュメモリセル領域と第1の活性領域と第2の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理工程を行うことにより、前記フラッシュメモリセル領域と前記第1の活性領域と前記第2の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第1の活性領域と前記第2の活性領域とを含むように、アモルファスシリコン膜と、窒化膜を含む耐酸化性絶縁膜とを順次堆積する工程と、

前記第1の活性領域において選択的に前記半導体基板の表面を露出する工程と

前記半導体基板に対して熱酸化処理を行うことにより、前記第1の領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において選択的に前記半導体基板の表面を露出する工程と

前記半導体基板に対して熱酸化処理を行うことにより、前記第2の領域において前記半導体基板表面に第2の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記3) 半導体基板表面に少なくともフラッシュメモリセル領域と第1

の活性領域と第2の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、少なくとも前記フラッシュュメモリセル領域と前記第1の活性領域と前記第2の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュュメモリセル領域と前記第1および第2の活性領域を含むようにアモルファスシリコン膜を堆積する工程と、

前記第1および第2の活性領域において選択的に前記アモルファスシリコン膜を除去する工程と、

前記半導体基板上に、少なくとも前記フラッシュュメモリセル領域と前記第1の活性領域と前記第2の活性領域を覆うように、耐酸化性絶縁膜を堆積する工程と

前記第1の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行い、前記第1の活性領域において前記半導体基板表面を覆うように第1の熱酸化膜を形成する工程と、

前記第2の活性領域において選択的に前記耐酸化性膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱処理工程を行い、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と異なることを特徴とする半導体集積回路装置の製造方法。

(付記4) 半導体基板表面に、フラッシュュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜

厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むようにアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクとして熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記5) 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第2～第3の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第1の活性領域において前記第1の熱酸化膜を覆うように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記第1の活性領域において選択的に前記耐酸化性絶縁膜を除去する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第2のアモルファスシリコン膜を堆積する工程と異なることを特徴とする半導体集積回路装置の製造方法。

(付記6) 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導

体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第2のアモルファスシリコン膜を堆積する工程と、

前記第1の活性領域において前記第2のアモルファスシリコン膜と前記耐酸化性絶縁膜とを選択的に除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記7) さらに前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第3のアモルファスシリコン膜を堆積する工程を含むことを特徴とする付記6記載の半導体集積回路装置の製造方法。

【0181】

(付記8) 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第2～第3の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第1の活性領域において前記第1の熱酸化膜を覆うように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化

処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆う  
ように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導  
体基板表面を露出する工程と、

前記半導体基板に対して残留している前記耐酸化性絶縁膜を耐酸化性マスクに  
熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面  
を覆うように第3の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の  
活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜を  
パターニングしてコントロールゲートパターンを形成し、同時に前記第1の活性  
領域において前記第2のアモルファスシリコン膜を除去する工程とよりなること  
を特徴とする半導体集積回路装置の製造方法。

(付記9) 半導体基板表面に、フラッシュメモリセル領域と第1の活性領  
域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程  
と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリ  
セル領域および第1～第3の活性領域において第1の熱酸化膜を形成する工程と

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の  
活性領域を含むように第1のアモルファスシリコン膜を堆積する工程と、

前記第2の活性領域において選択的に前記第1のアモルファスシリコン膜を除  
去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記第2の活性領域に  
おいて前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記半導体基板中に酸化を抑制する不純物元素を  
選択的に導入する工程と、

前記フラッシュメモリセル領域および前記第3の活性領域において選択的に前  
記第1のアモルファスシリコン膜および前記第1の熱酸化膜を除去し、前記半導

体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域において前記半導体基板表面を覆うようにトンネル酸化膜を、また前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を同時に形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜をパターニングしてゲート電極を形成し、同時に前記第1の活性領域において前記アモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記10) 半導体基板上に、フラッシュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第3の活性領域において前記半導体基板表面に第

3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記11) 半導体基板上に、フラッシュュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記フラッシュュメモリセル領域にのみ、選択的にソース領域とドレイン領域とを形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第3の活性領域において前記半導体基板表面に第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記12) 前記耐酸化性膜は、窒化膜を一対の酸化膜の間に挟持した構成を有することを特徴とする付記1～11のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0182】

(付記13) 前記第1～第2の熱酸化膜の一つは、複数の熱酸化膜の積層

よりなることを特徴とする付記1～12のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0183】

(付記14) 前記第1～第3の熱酸化膜の一つは複数の熱酸化膜の積層よりなることを特徴とする付記1または付記4～11のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0184】

(付記15) 前記不純物元素は窒素であることを特徴とする付記1または付記4～9のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0185】

(付記16) 半導体基板と、

前記半導体基板上のメモリセル領域に形成されたフラッシュメモリと、

前記半導体基板上の第1の素子領域に形成され、第1のゲート酸化膜と第1のゲート電極とを有する第1のMOSトランジスタと、

前記半導体基板上の第2の素子領域に形成され、第2のゲート絶縁膜と第2のゲート電極とを有する第2のMOSトランジスタと、

前記半導体基板上の第3の素子領域に形成され、第3のゲート絶縁膜と第3のゲート電極とを有する第3のMOSトランジスタとよりなる半導体集積回路装置において、

前記第1の厚さは前記第2の厚さよりも小さく、前記第2の厚さは前記第3の厚さよりも小さく、

前記第1～第3のゲート電極は、実質的に等しい高さを有することを特徴とする半導体集積回路装置。

【0186】

(付記17) 前記第1および第3のゲート電極は第1のシリコン膜上に第2のシリコン膜を積層した構造を有し、前記第2のゲート電極は第3のシリコン膜上に前記第2のシリコン膜を積層した構造を有し、前記フラッシュメモリは、前記第3のシリコン膜よりなるフローティングゲート電極と、フローティングゲート電極上に絶縁膜を介して形成され、前記第1のシリコン膜と前記第2のシ

リコン膜とを順次積層した構造のコントロール電極とよりなることを特徴とする  
付記16記載の半導体集積回路装置。

## 【0187】

(付記18) 前記フラッシュメモリは、第1のシリコン膜よりなるフローティングゲート電極と、前記フローティングゲート電極上に絶縁膜を介して形成された第2のシリコン膜よりなるコントロールゲート電極とより構成され、前記第1および第3のゲート電極は前記第2のポリシリコン膜より構成され、前記第2のゲート電極は前記第1のポリシリコン膜より構成されることを特徴とする付記16記載の半導体集積回路装置。

## 【0188】

## 【発明の効果】

本発明によれば、フラッシュメモリセルを含み、またゲート絶縁膜の膜厚の異なる多種類のMOSトランジスタを含み、多電源電圧に対応した半導体集積回路装置において、熱酸化膜形成工程とそれを除去するエッチング工程とが各々のトランジスタ形成領域において2回以上繰り返されがなくなり、その結果、素子領域とその周辺の素子分離構造との間に深い凹部が形成される問題が解消する。これに伴い、素子領域周辺部においてゲート酸化膜の膜厚が減少し、MOSトランジスタのしきい値特性が変調を受けていた問題が解決し、また各トランジスタ形成領域において、ゲート酸化膜となる熱酸化膜の膜質が向上し、膜厚の精度が向上する。さらに本発明では、フラッシュメモリセル以外のMOSトランジスタにおいて、ゲート電極の抵抗値をゲート電極の膜厚に対応して最適化することができ、またゲート電極の高さを共通のレベルに揃えることが可能になる。

## 【図面の簡単な説明】

## 【図1】

(A), (B) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)である。

## 【図2】

(C), (D) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)である。

【図3】

(E), (F) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図4】

(G), (H) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図5】

(I), (J) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図6】

(K), (L) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）である。

【図7】

(M), (N) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）である。

【図8】

(O), (P) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その7）である。

【図9】

(Q) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その8）である。

【図10】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する図である。

【図11】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図12】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する

別の図である。

【図13】

(A)～(C)は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図14】

(A)～(C)は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図15】

(A)～(B)は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図16】

(A)，(B)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)である。

【図17】

(C)，(D)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)である。

【図18】

(E)，(F)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)である。

【図19】

(G)，(H)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)である。

【図20】

(I)，(J)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)である。

【図21】

(K)，(L)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)である。

【図22】

(M) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その7）である。

【図23】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する図である。

【図24】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図25】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図26】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図27】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図28】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図29】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図30】

(A)～(D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図31】

従来のフラッシュメモリの構成を示す平面図である。

【図32】

(A), (B) は、図31のフラッシュメモリの構成を示す断面図である。

【図33】

(A)～(D) は、図31のフラッシュメモリの動作を説明する図である。

【図34】

(A), (B) は、図31のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)である。

【図35】

(C), (D) は、図31のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)である。

【図36】

(E), (F) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)である。

【図37】

(G), (H) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)である。

【図38】

(I), (J) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)である。

【図39】

(K), (L) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)である。

【図40】

(M), (N) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その7)である。

【図41】

(O) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その8)である。

【図42】

(A)～(D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明

する図である。

【図43】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図44】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図45】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図46】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図47】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図48】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図49】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図50】

(A)～(C)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図51】

(A), (B)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図52】

(A), (B) は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図53】

(C), (D) は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図54】

(E), (F) は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図55】

(G) は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図56】

(A)～(C) は本実施例の効果を説明する図である。

【図57】

(A)～(C) は本実施例の効果を説明する別の図である。

【図58】

(A)～(C) は本実施例の効果を説明する別の図である。

【図59】

(A)～(C) は本実施例の効果を説明する別の図である。

【図60】

(A)～(C) は本実施例の効果を説明する別の図である。

【図61】

(A), (B) は本実施例の効果を説明する別の図である。

【図62】

(A), (B) は、本発明の第1実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図63】

(C), (D) は、本発明の第1実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図64】

(A), (B) は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図65】

(C), (D) は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図66】

(E), (F) は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図67】

(G), (H) は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図68】

(A)～(D) は本実施例の効果を説明する図である。

【図69】

(A)～(C) は本実施例の効果を説明する別の図である。

【図70】

(A), (B) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図71】

(C), (D) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図72】

(E), (F) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図73】

(G), (H) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図74】

(I), (J) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図75】

(K) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）である。

【図76】

(A)～(C) は、本発明の第2実施例による半導体集積回路装置の一部を示す図である。

【図77】

(A), (B) は、本発明の第3実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図78】

(C), (D) は、本発明の第3実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図79】

(E), (F) は、本発明の第3実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図80】

(G), (H) は、本発明の第3実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図81】

(I), (J) は、本発明の第3実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図82】

(K), (L) は、本発明の第3実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）である。

【図83】

(A)～(C) は、本発明の第3実施例による半導体集積回路装置の一部を示す図である。

【図84】

(A), (B) は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図85】

(C), (D) は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図86】

(E), (F) は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図87】

(G), (H) は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図88】

(I), (J) は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図89】

(K), (L) は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）である。

【図90】

(A)～(D) は、本発明の第4実施例による半導体集積回路装置の一部を示す図である。

【図91】

(A), (B) は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図92】

(C), (D) は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図93】

(E), (F) は、本発明の第5実施例によるフラッシュメモリを含む半導体

集積回路装置の製造工程を示す図（その3）である。

【図94】

(G), (H) は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図95】

(I), (J) は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図96】

(K) は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）である。

【図97】

(A)～(D) は、本発明の第5実施例による半導体集積回路装置の一部を示す図である。

【図98】

(A), (B) は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）である。

【図99】

(C), (D) は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）である。

【図100】

(E), (F) は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図101】

(G), (H) は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図102】

(I), (J) は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図103】

(A)～(D)は、本発明の第6実施例による半導体集積回路装置の一部を示す図である。

【図104】

(A)～(D)は、本発明の第6実施例による半導体集積回路装置の一部を示す別の図である。

【図105】

(A)～(D)は、本発明の第6実施例による半導体集積回路装置の一部を示す別の図である。

【図106】

(A)，(B)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)である。

【図107】

(C)，(D)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)である。

【図108】

(E)，(F)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)である。

【図109】

(G)，(H)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)である。

【図110】

(I)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)である。

【図111】

(A)，(B)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)である。

【図112】

(C)，(D)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)である。

【図113】

(E), (F) は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）である。

【図114】

(G), (H) は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）である。

【図115】

(I), (J) は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その5）である。

【図116】

本発明の第8実施例によるフラッシュメモリの構成を示す平面図である。

【図117】

図116のフラッシュメモリの断面構造を示す図である。

【図118】

(A), (B) は、図116のフラッシュメモリの動作を説明する図である。

【図119】

(A), (B) は、図116のフラッシュメモリの製造工程を示す図である。

【符号の説明】

11 Si 基板

11F フィールド酸化膜

11G STI構造

11a～11e 拡散領域

12A トンネル酸化膜

12B～12D ゲート絶縁膜

13, 16 アモルファスシリコン膜

13A フローティングゲート電極

14 ONO膜

15A～15B, 17A～17B, 19A～19D, 111A, 111B, 111C, 111D, 111E, 111F レジストパターン

16A コントロールゲート電極

16B~16D ゲート電極

16F 積層ゲート電極構造

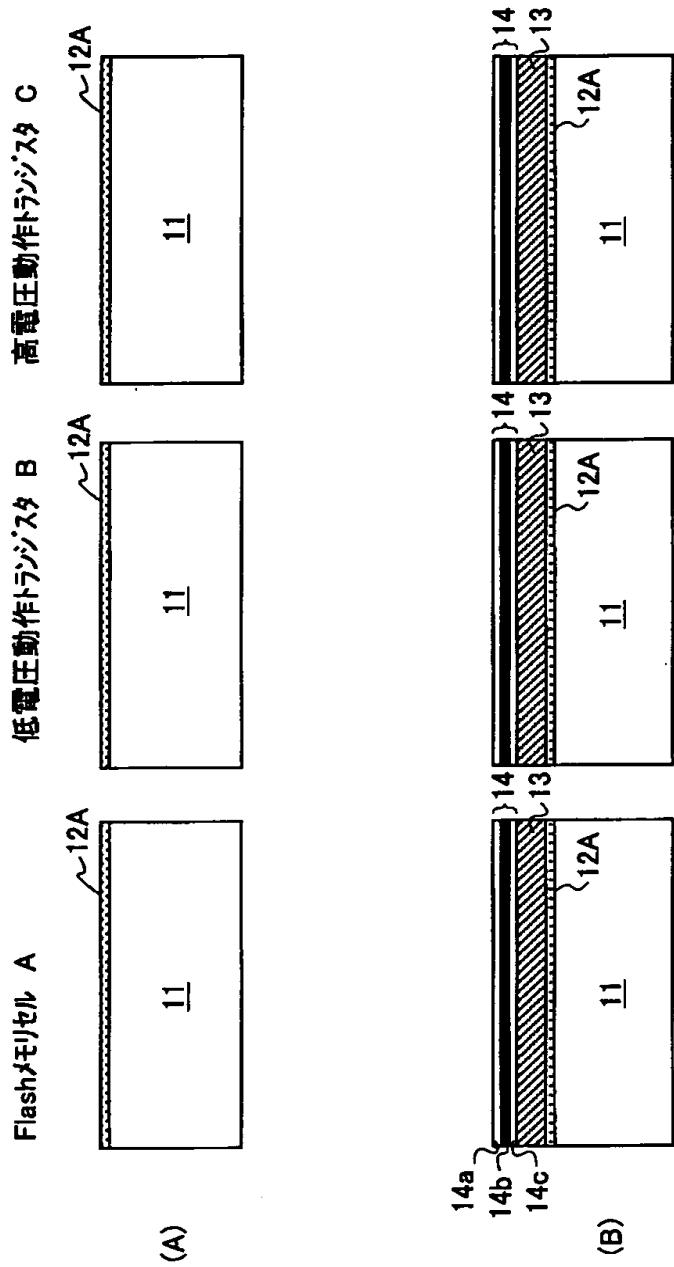
18, 110 絶縁膜

【書類名】

図面

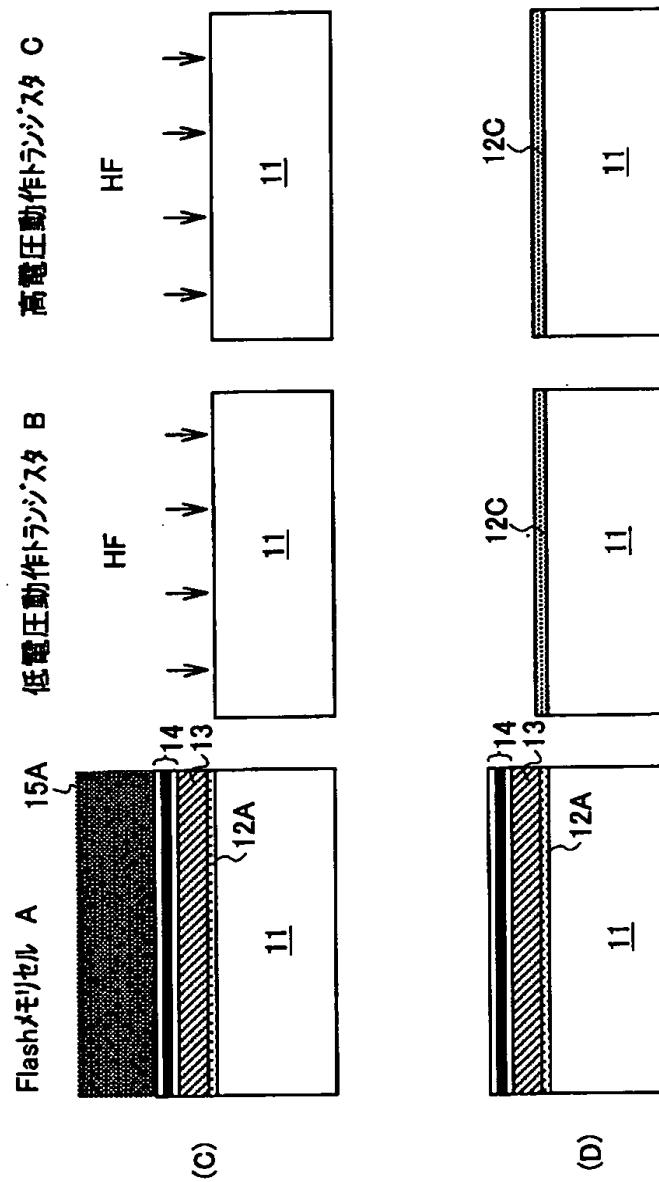
【図1】

(A), (B)は、従来のフラッシュメモリを含む半導体  
集積回路装置の製造工程を示す図(その1)



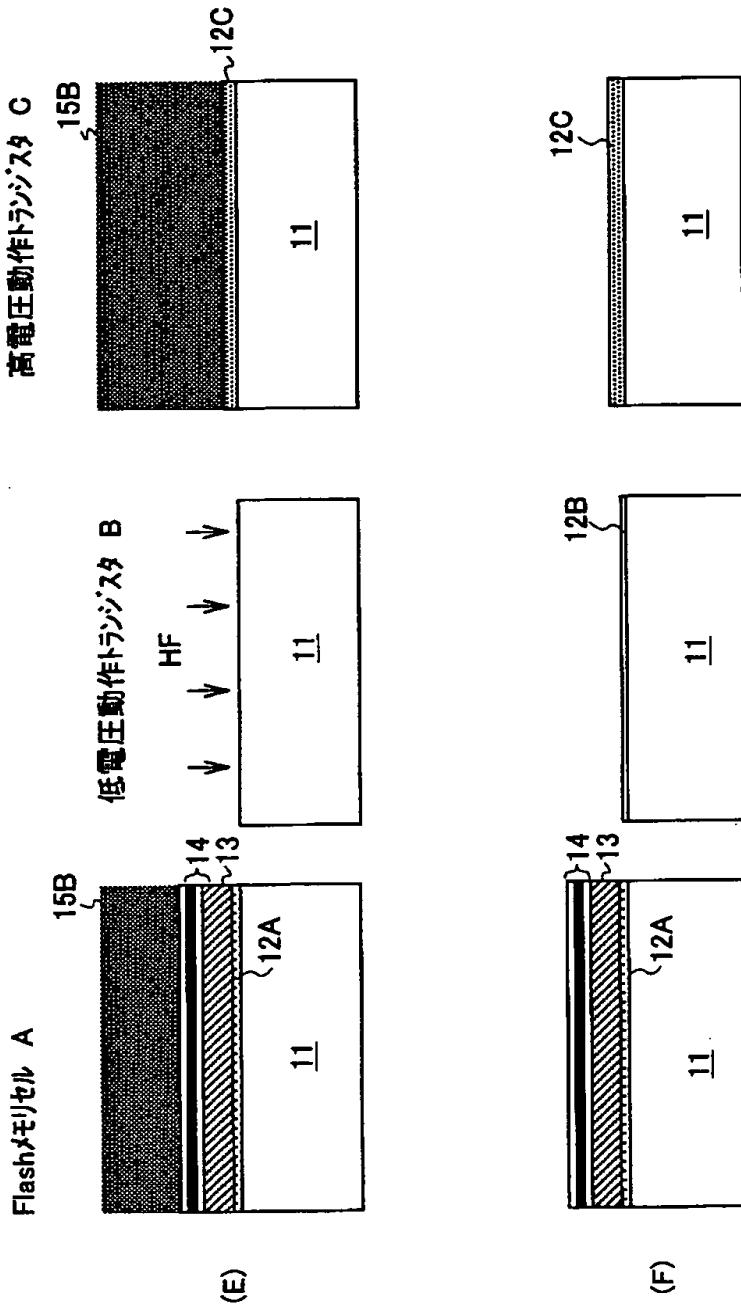
【図2】

(C), (D)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その2)



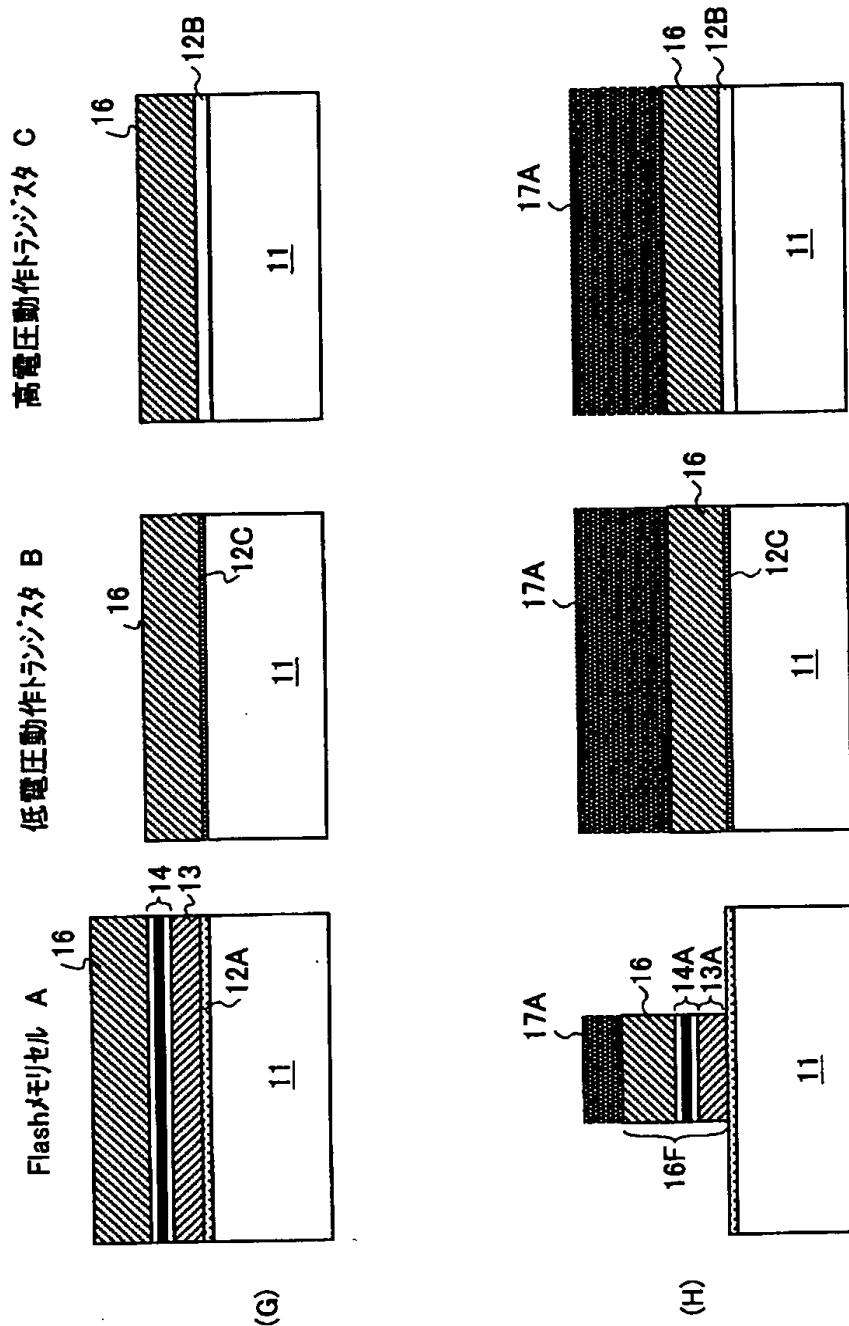
【図3】

(E), (F)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その3)



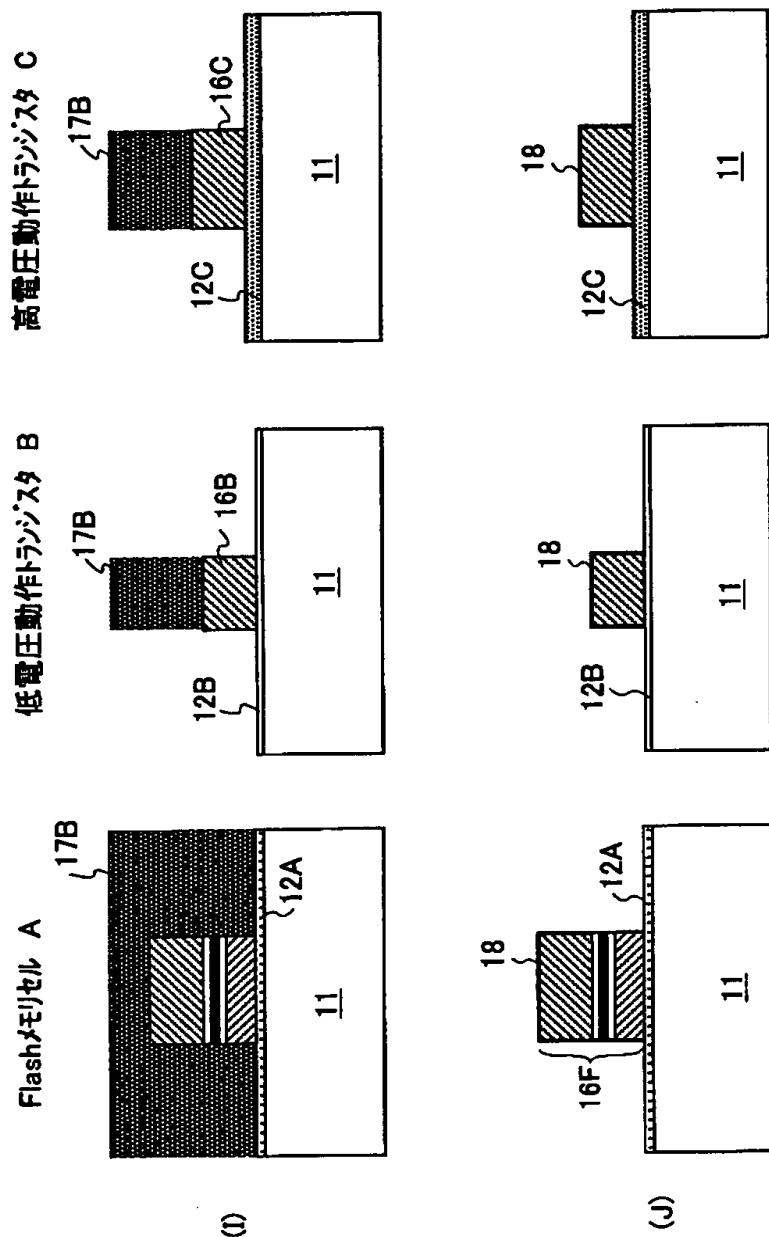
【図4】

(G), (H)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その4)



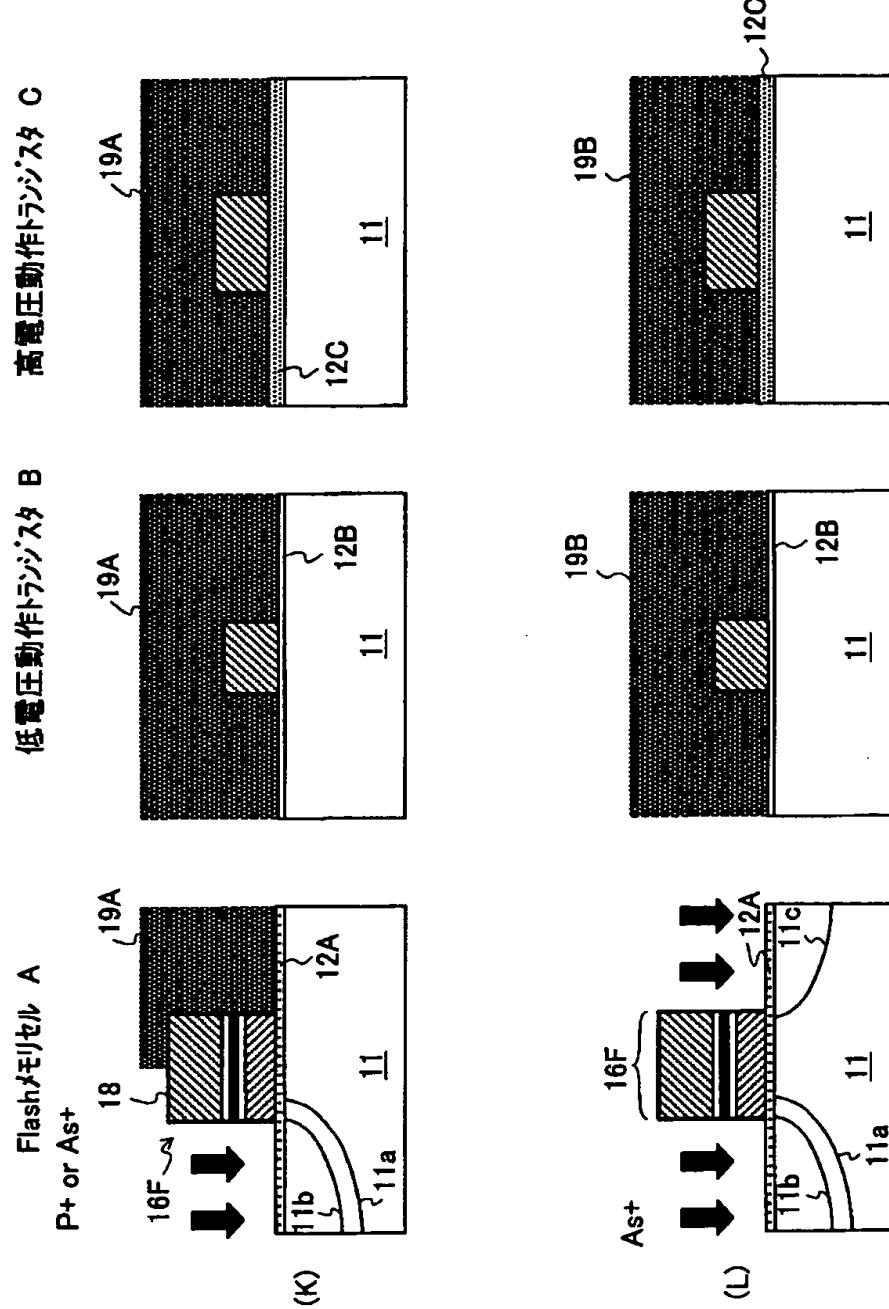
【図5】

(I), (J)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その5)



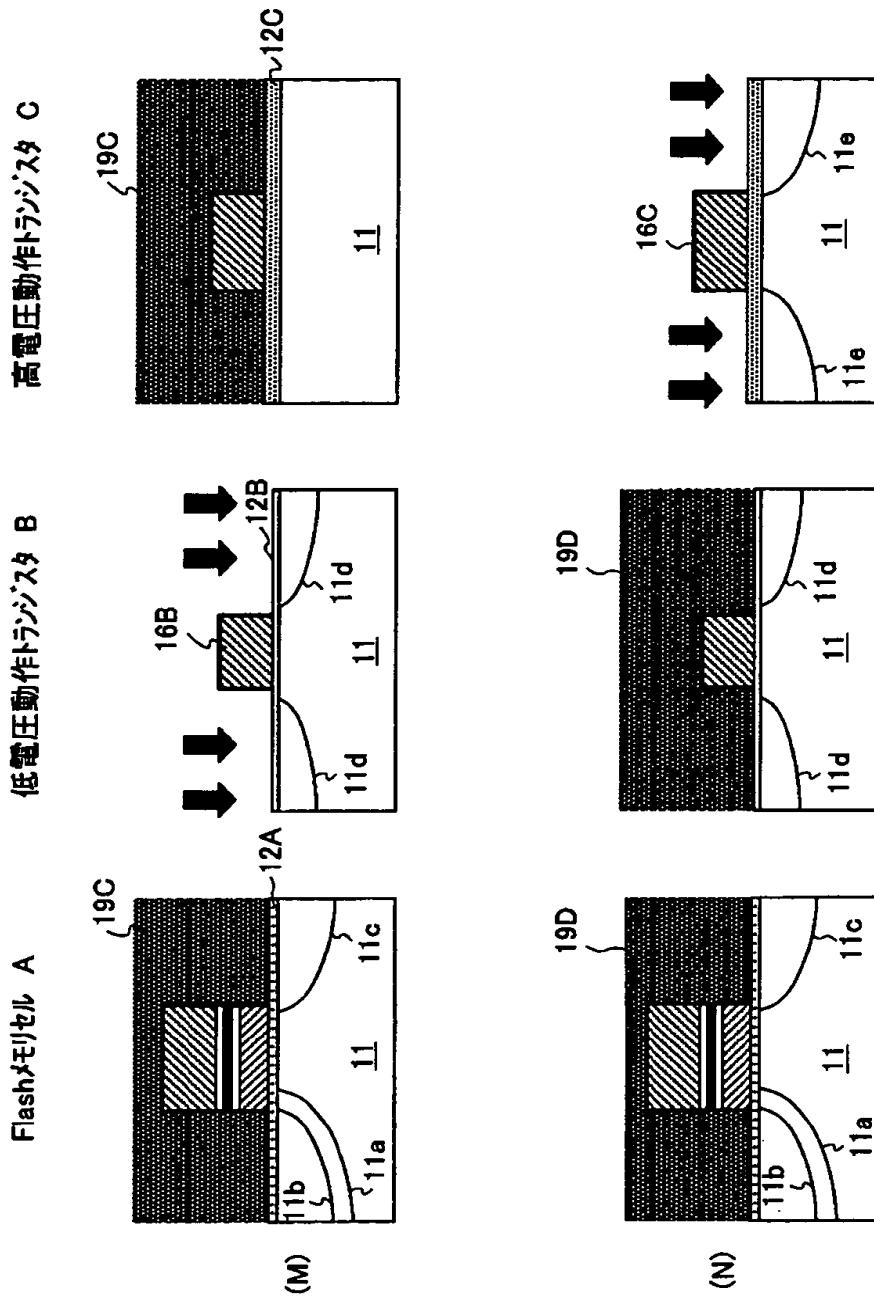
【図6】

(K), (L)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その6)



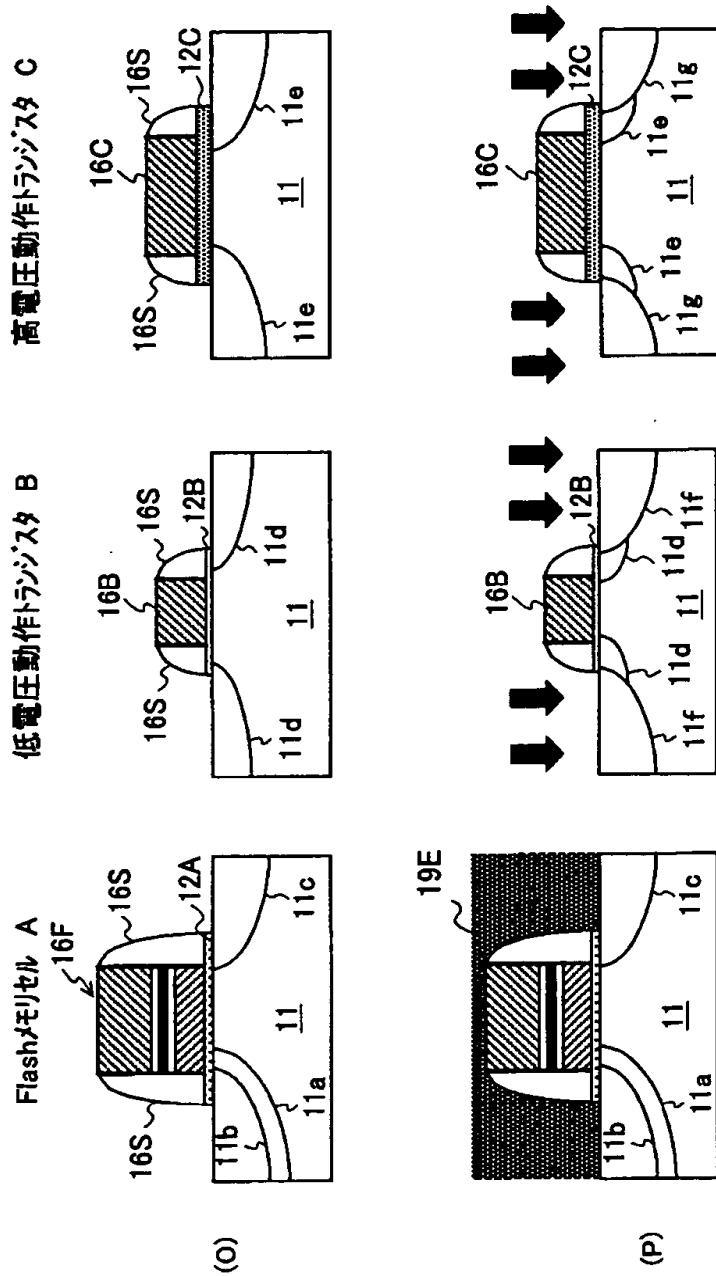
【図7】

(M), (N)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その6)



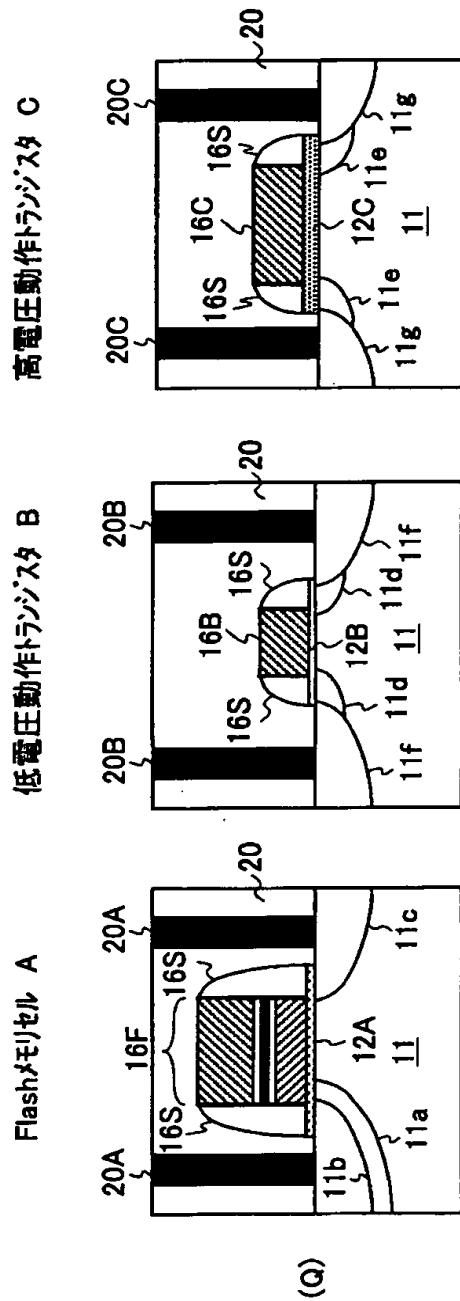
【図8】

(O), (P)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その7)



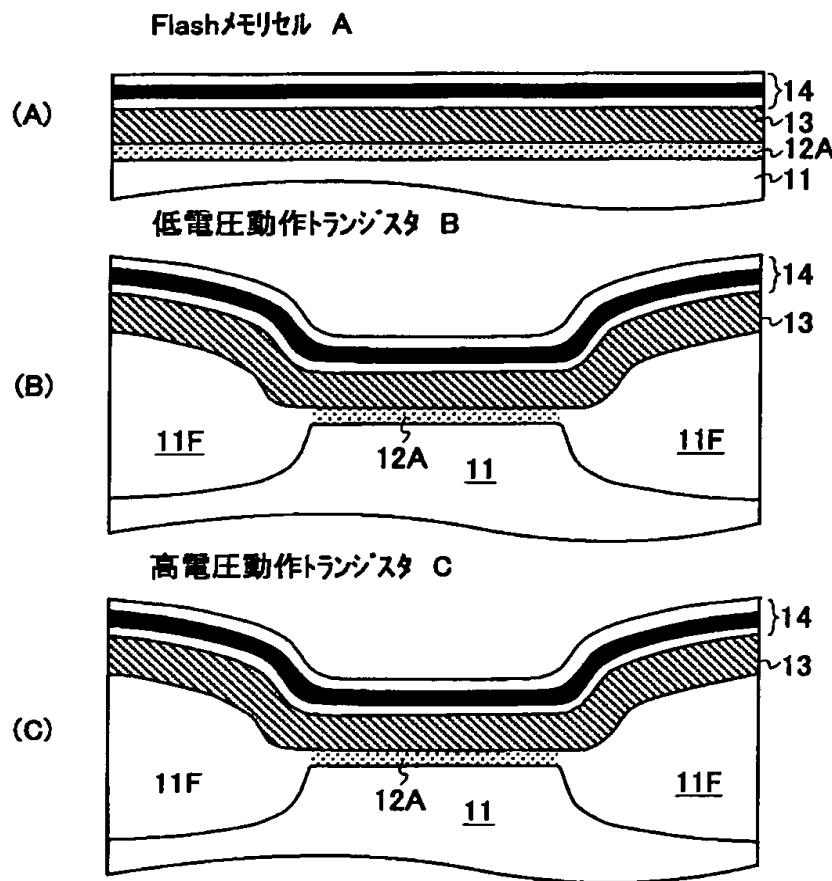
【図9】

(Q)は、従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その8)



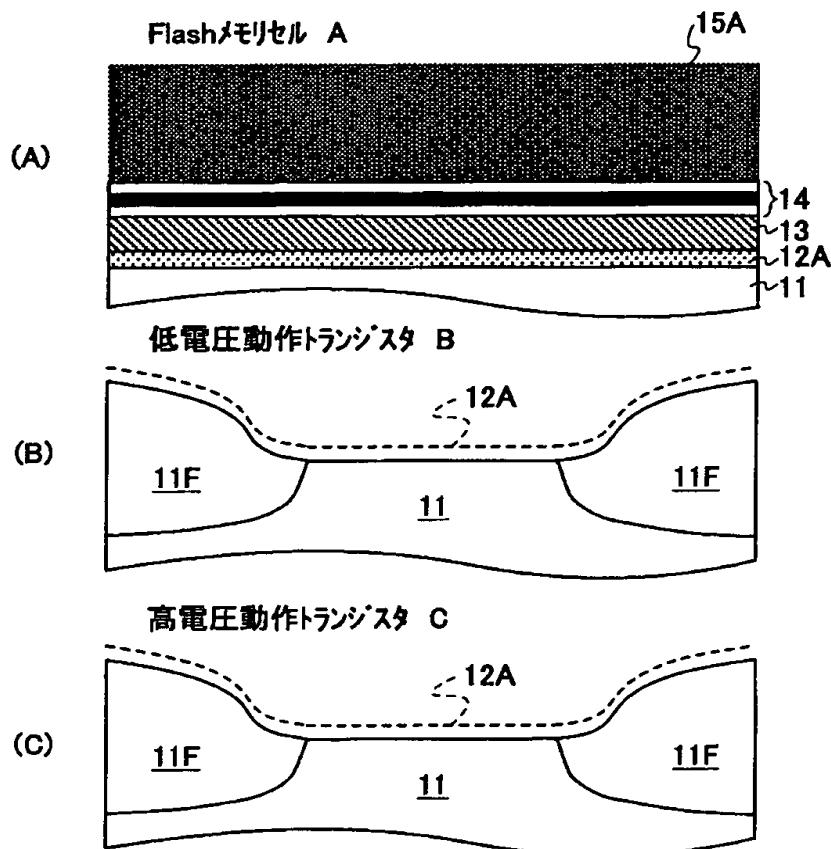
【図10】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する図



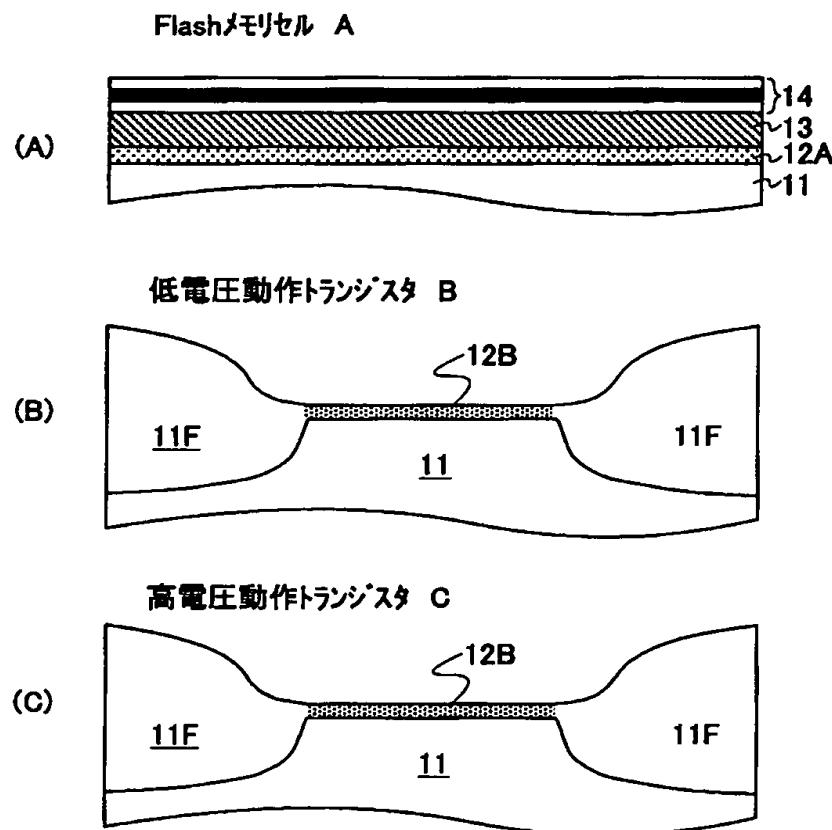
【図11】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



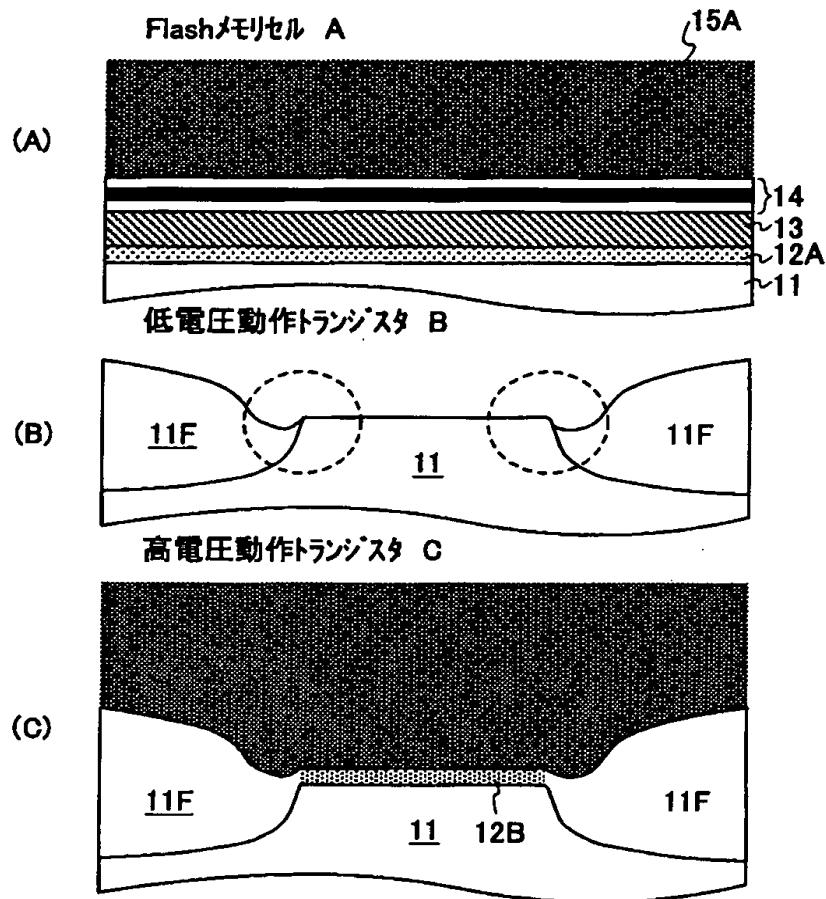
【図12】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



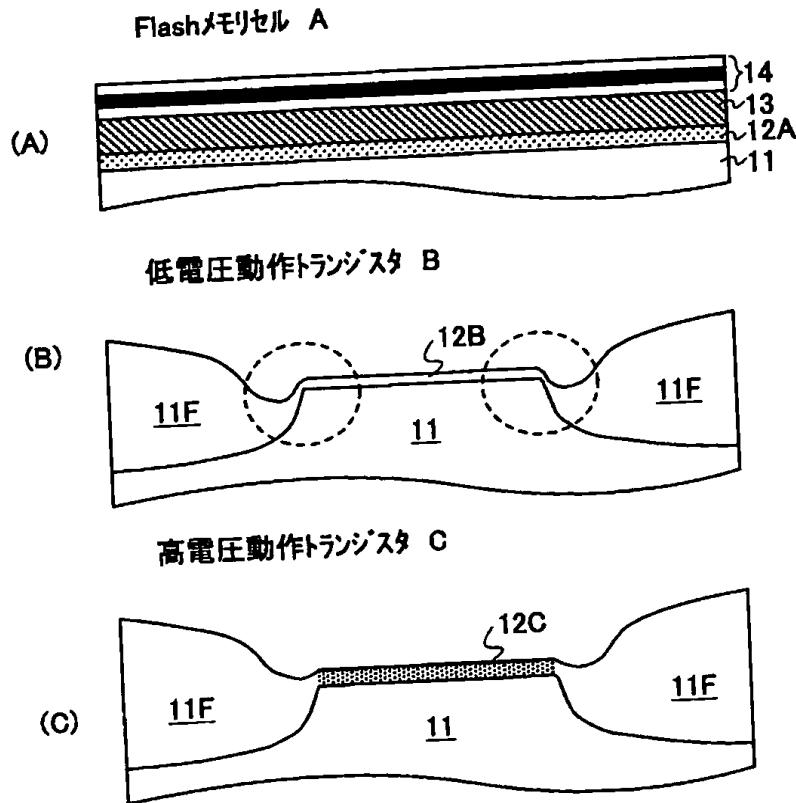
【図13】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



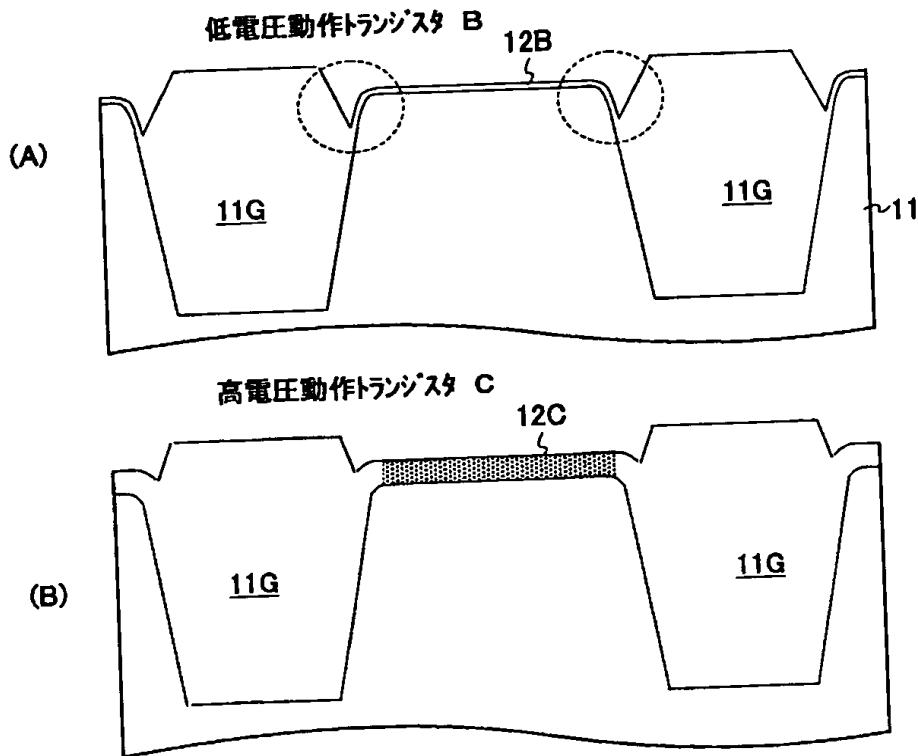
【図14】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



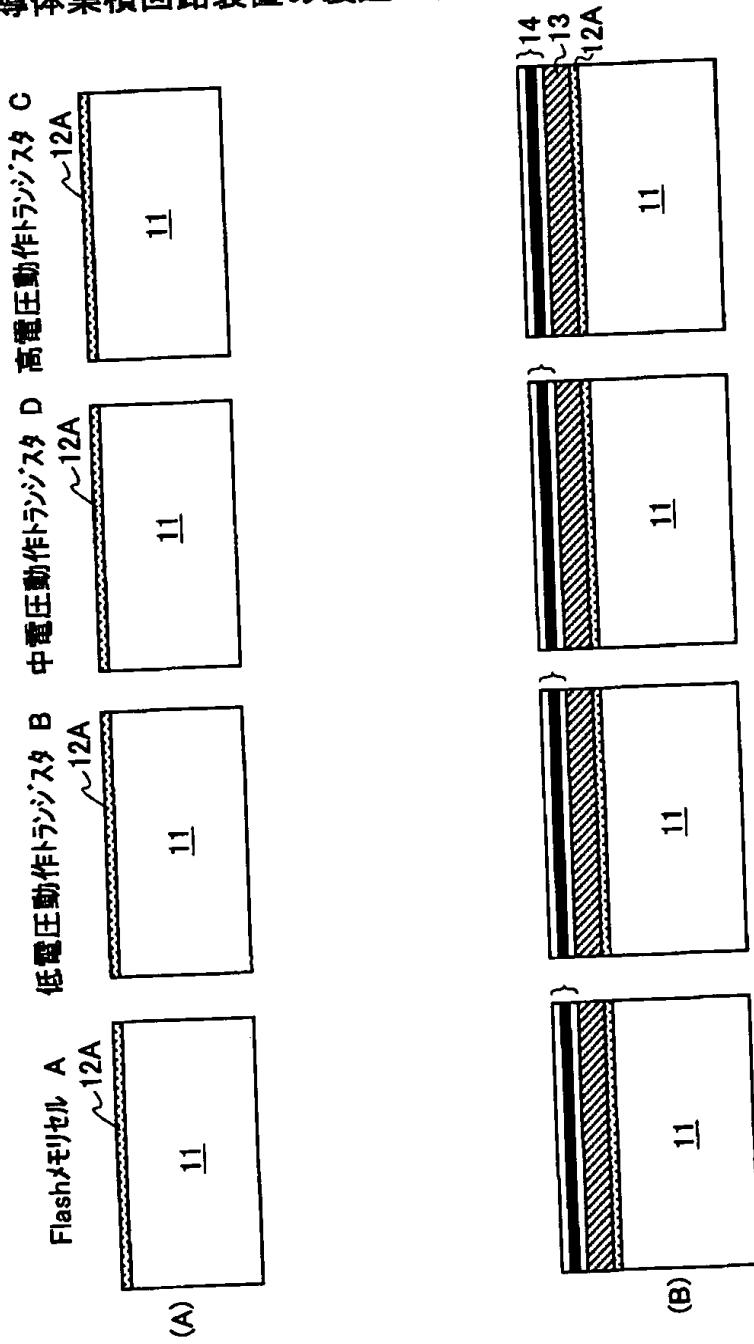
【図15】

(A)～(B)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



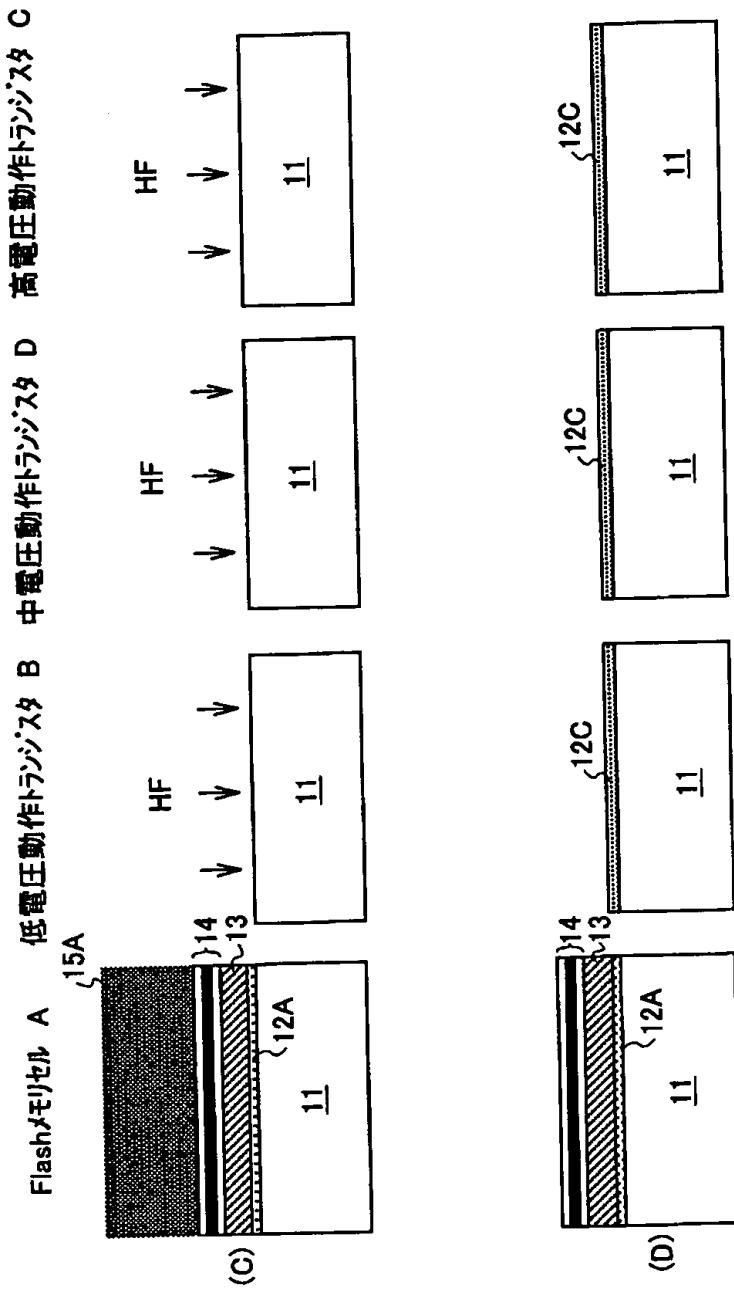
【図16】

(A), (B)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)



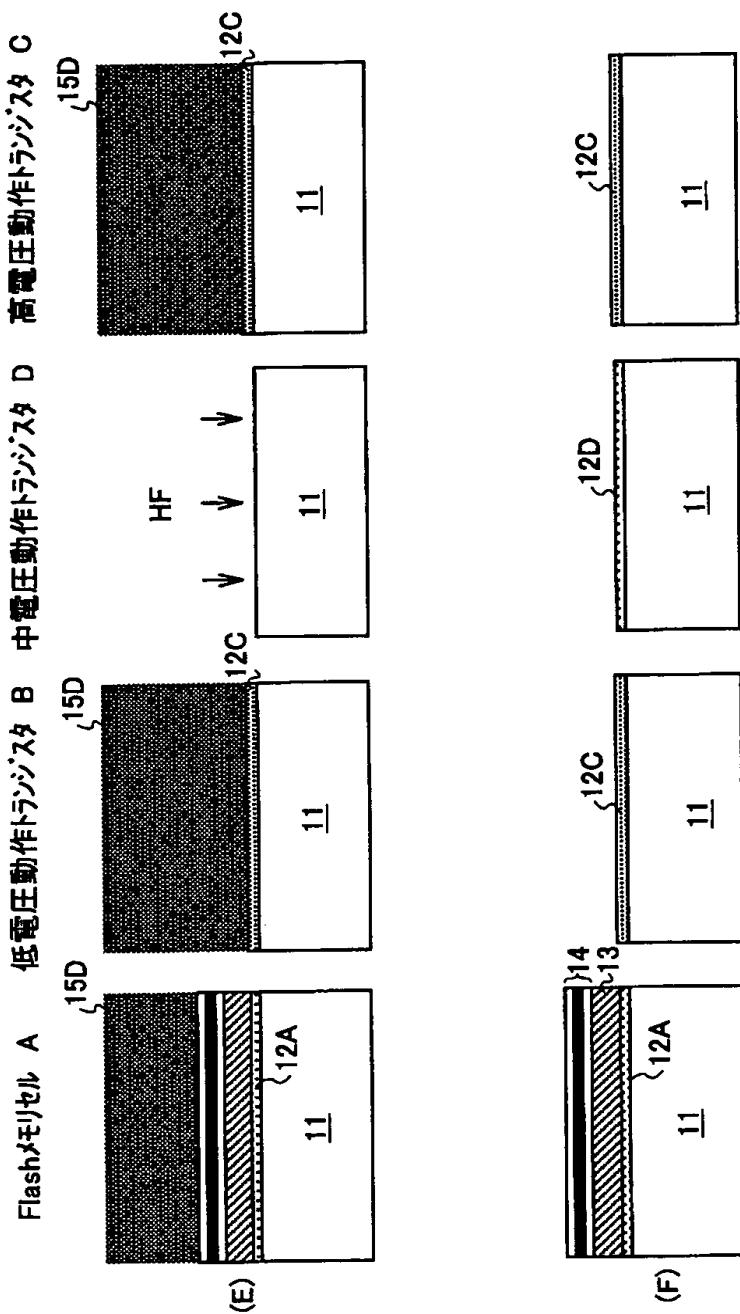
【図17】

(C), (D)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)



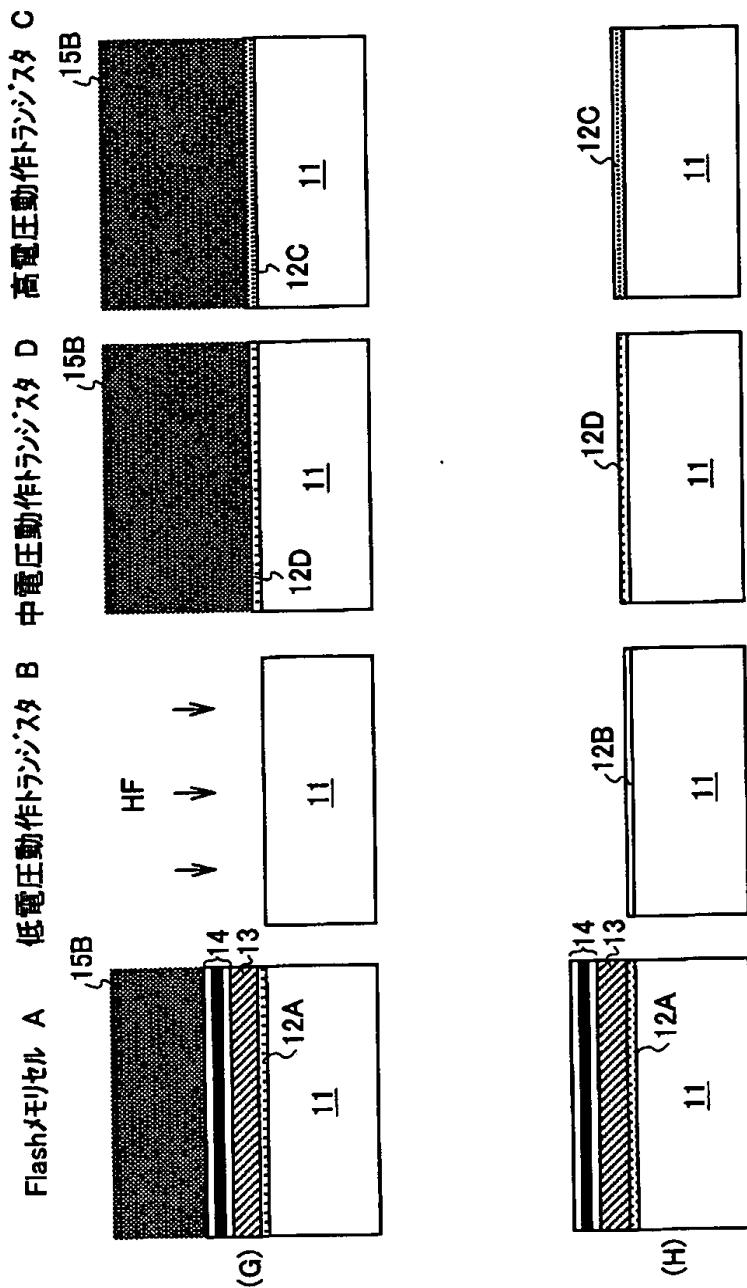
【図18】

(E), (F)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



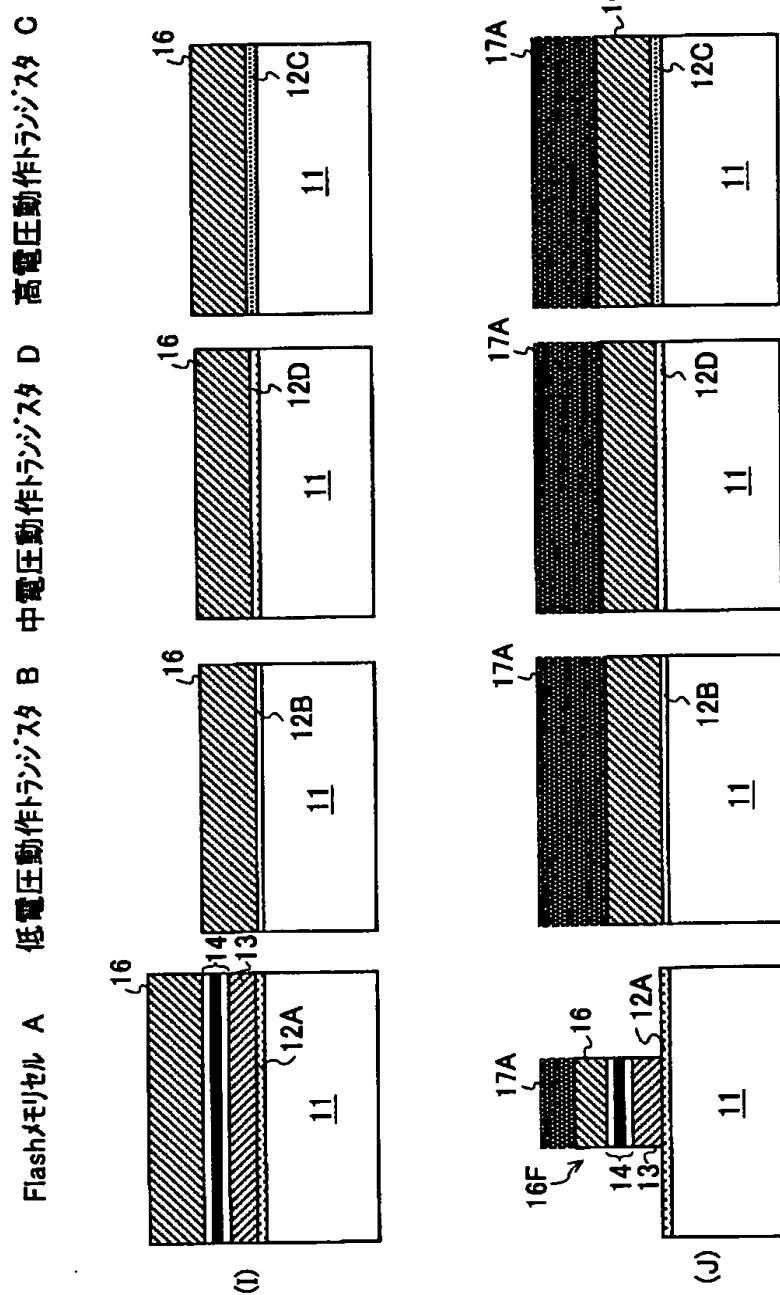
【図19】

(G), (H)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)



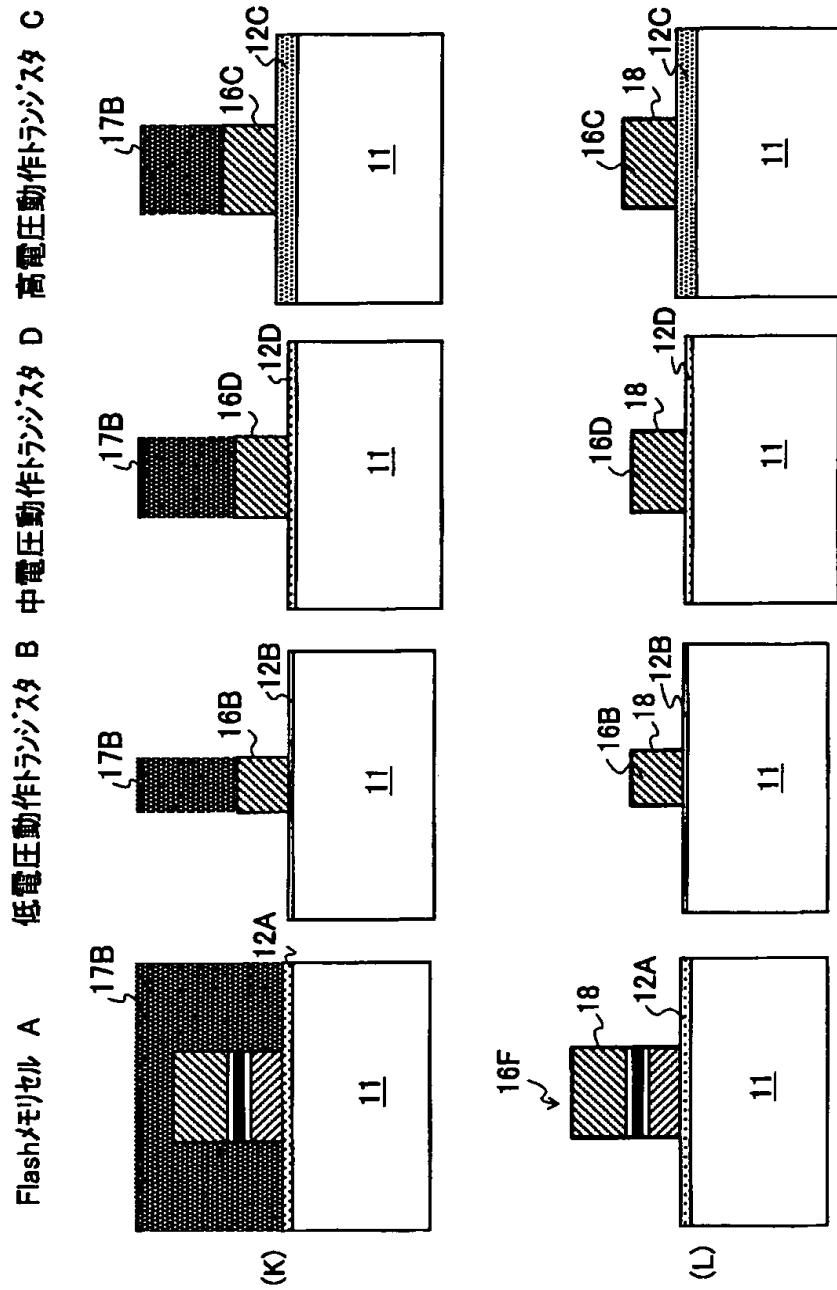
【図20】

(I), (J)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)



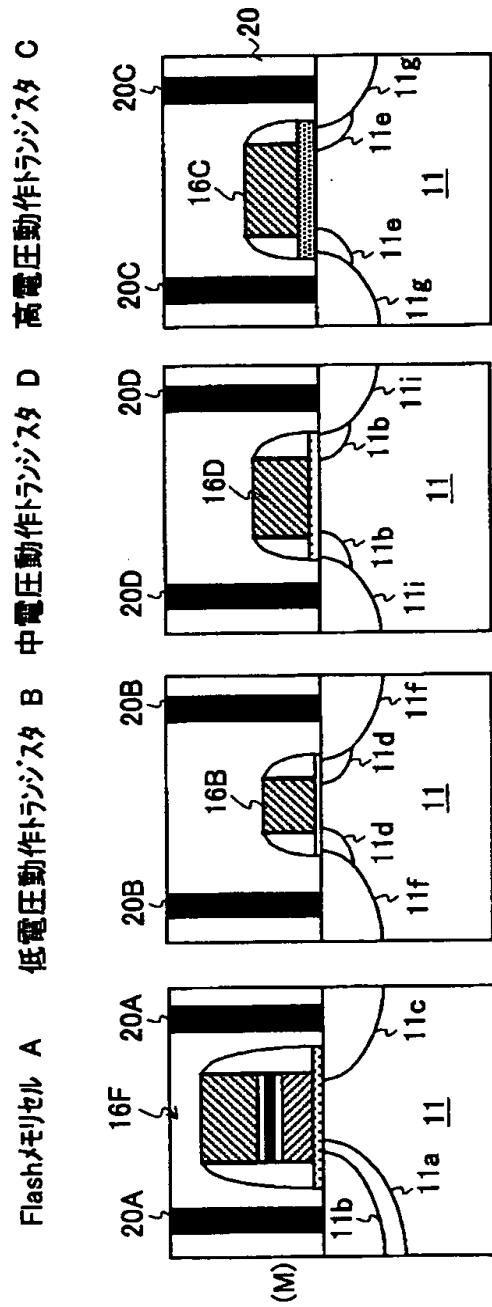
【図21】

(K), (L)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



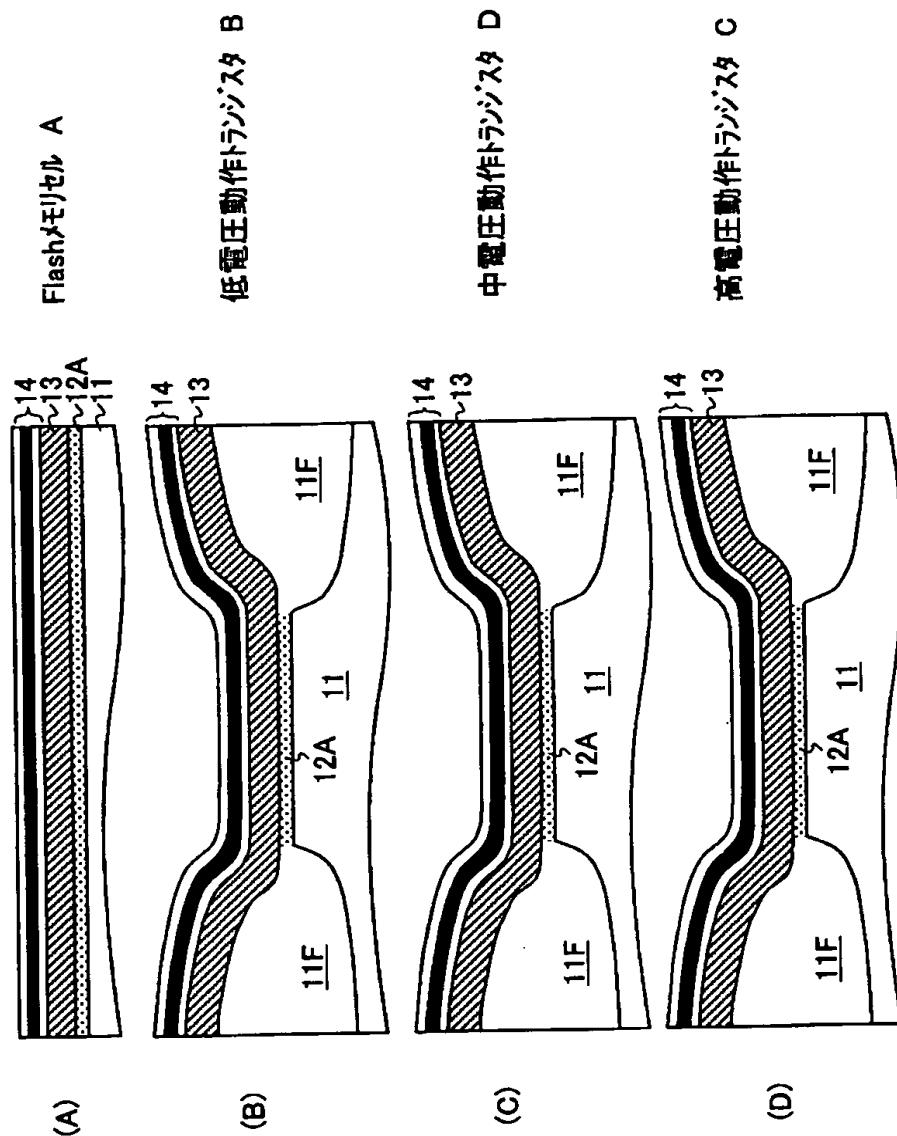
【図22】

(M)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その7)



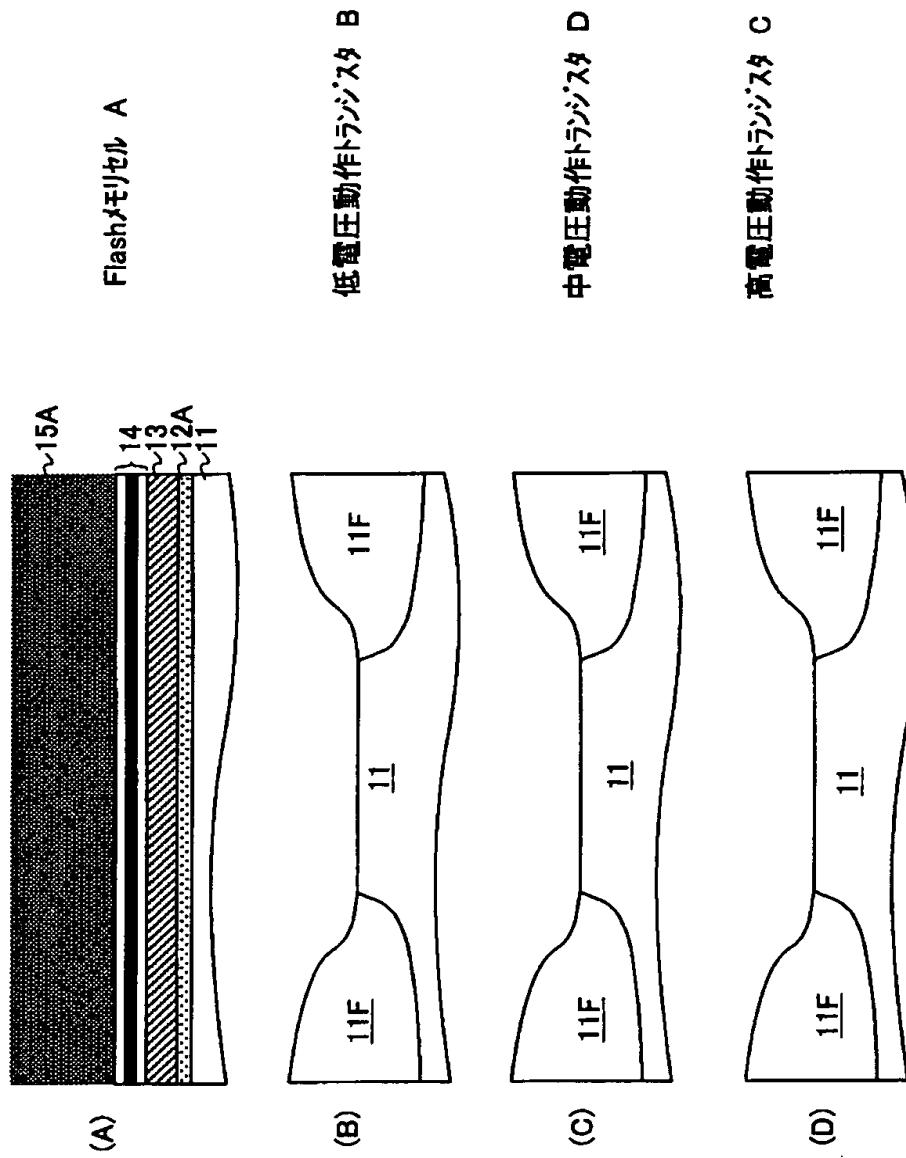
【図23】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する図



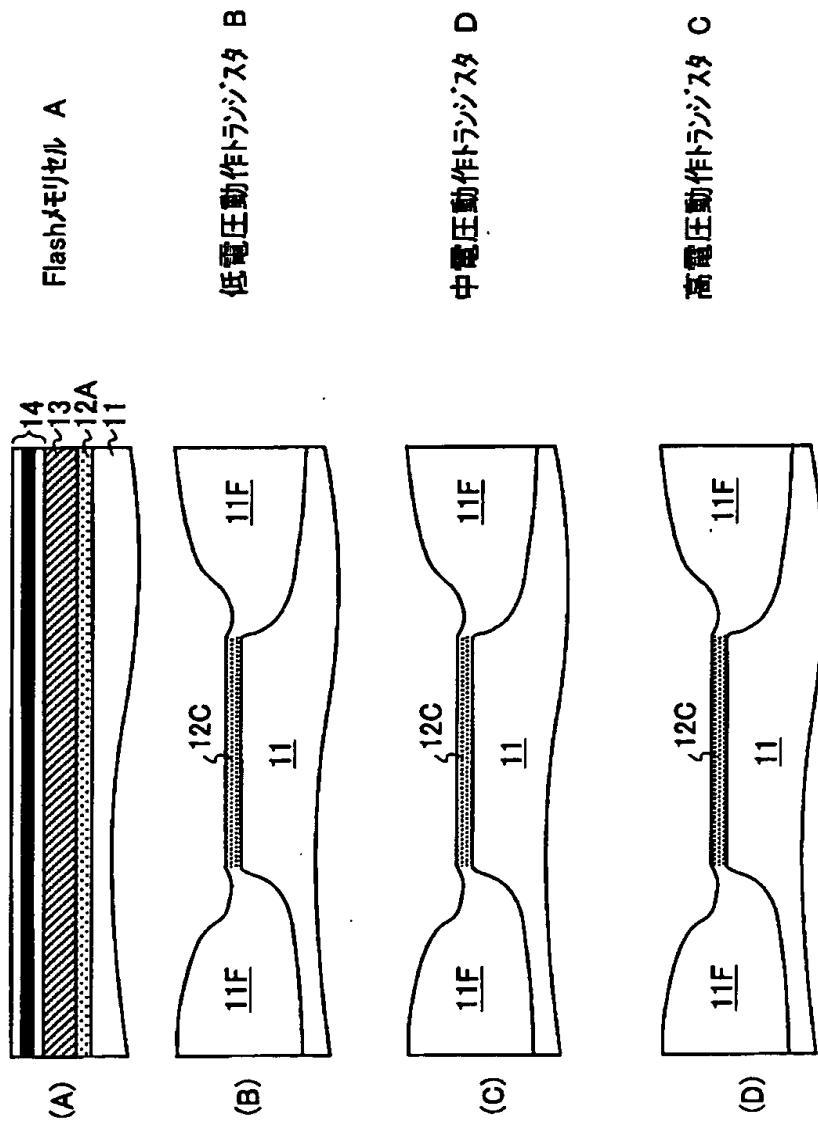
【図24】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



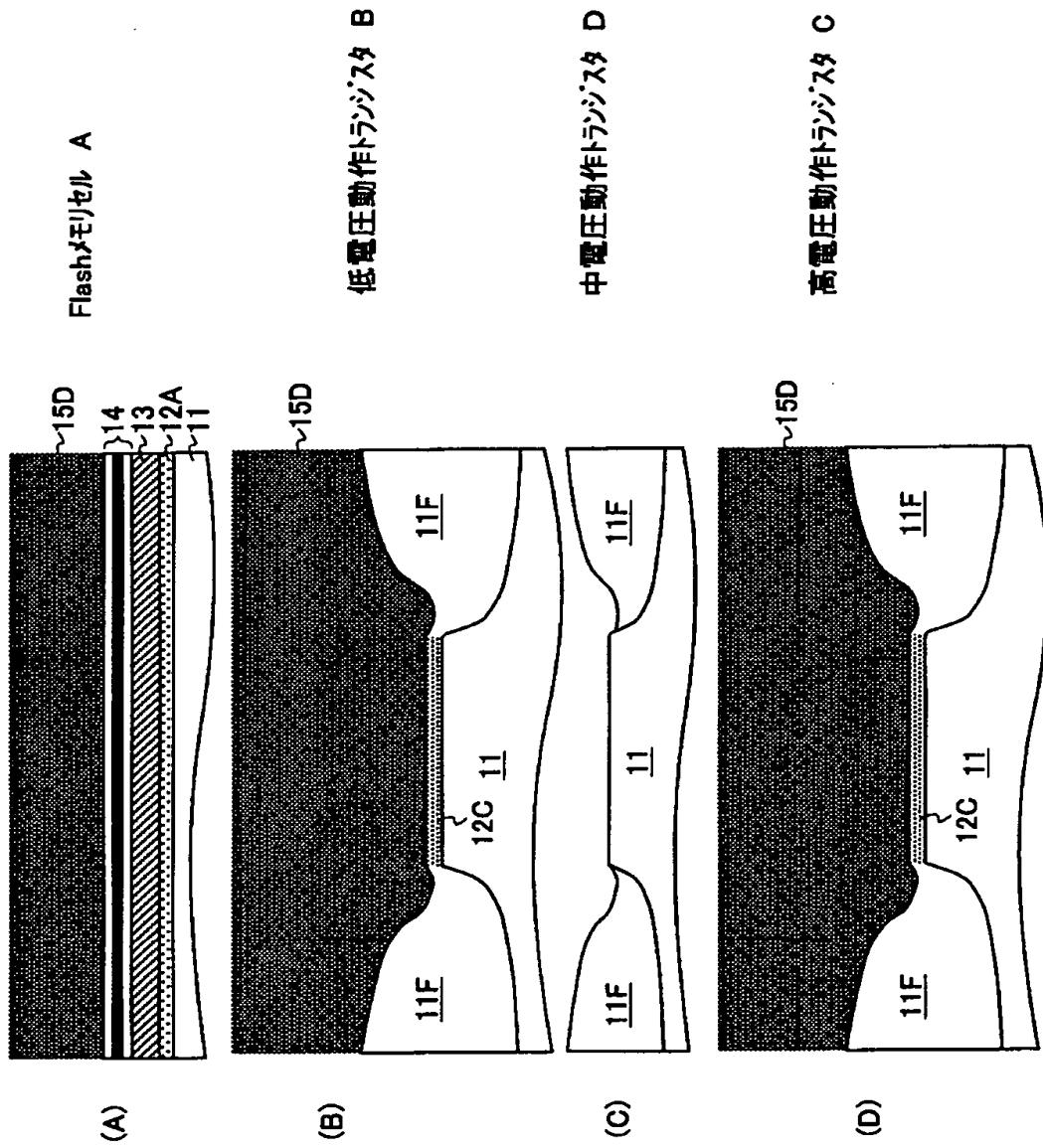
【図25】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



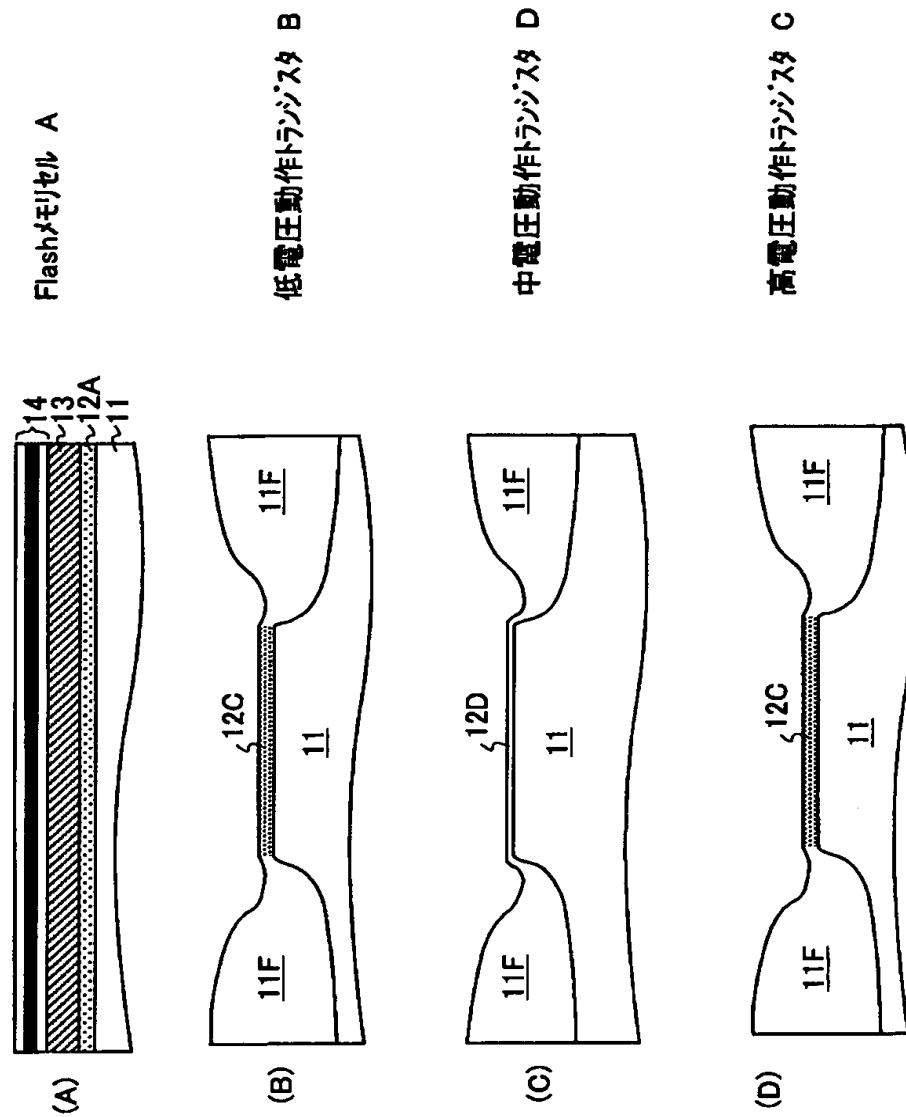
【図26】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



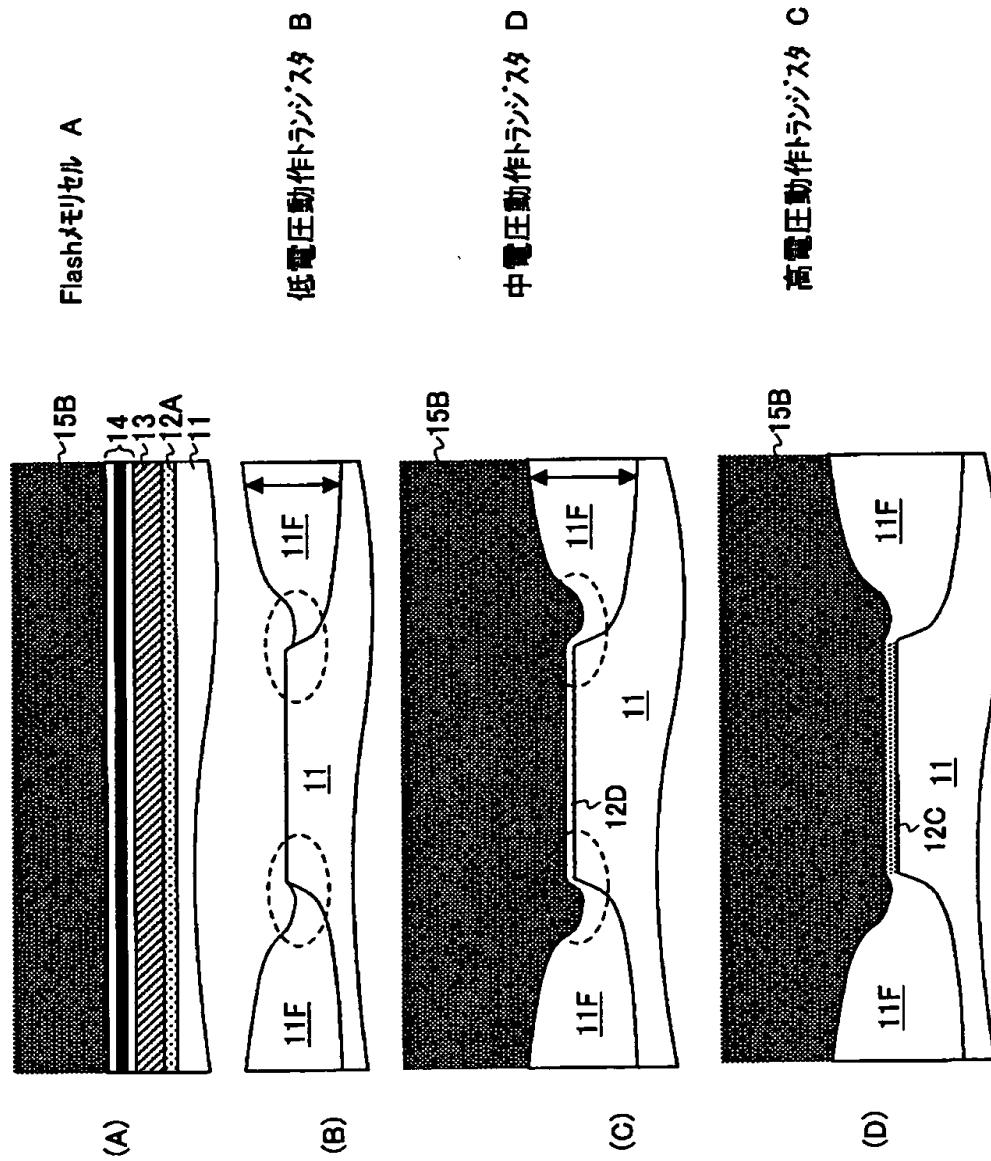
【図27】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



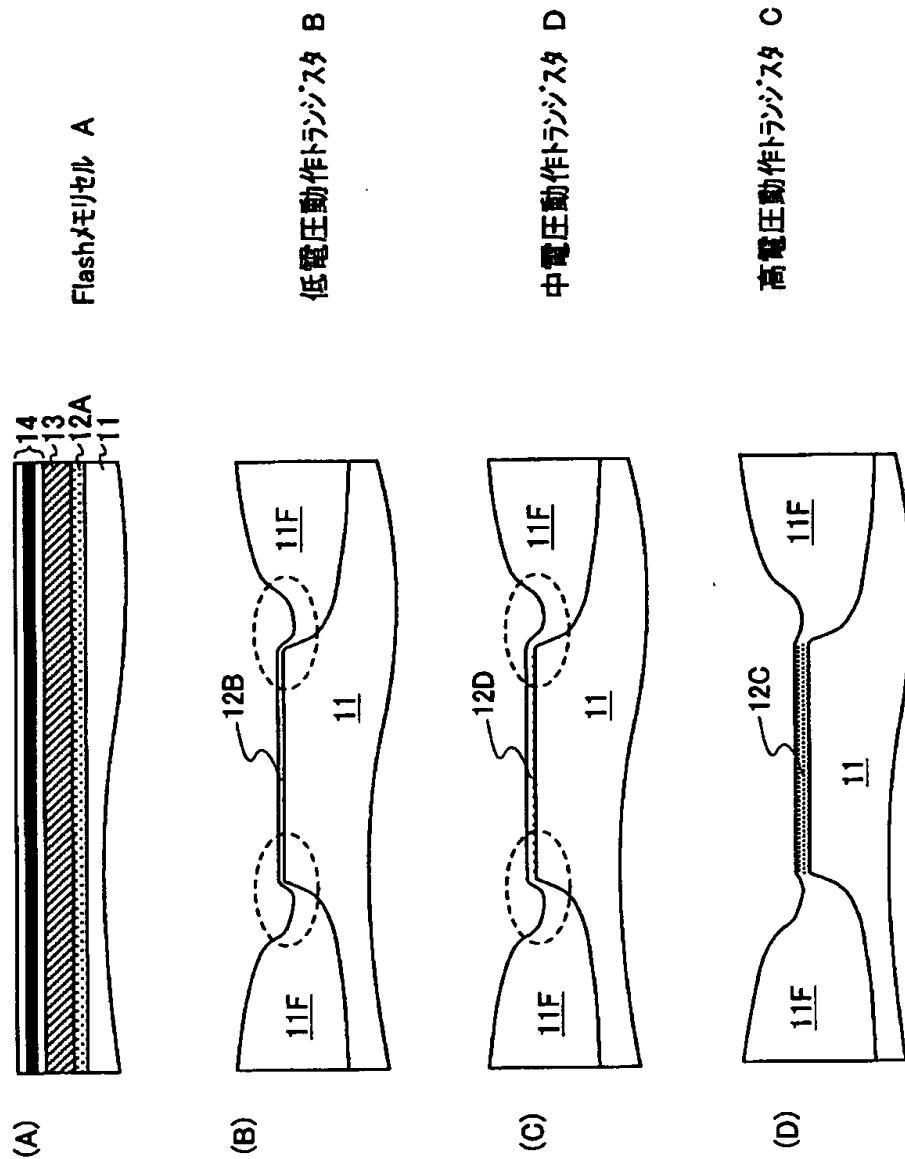
【図28】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



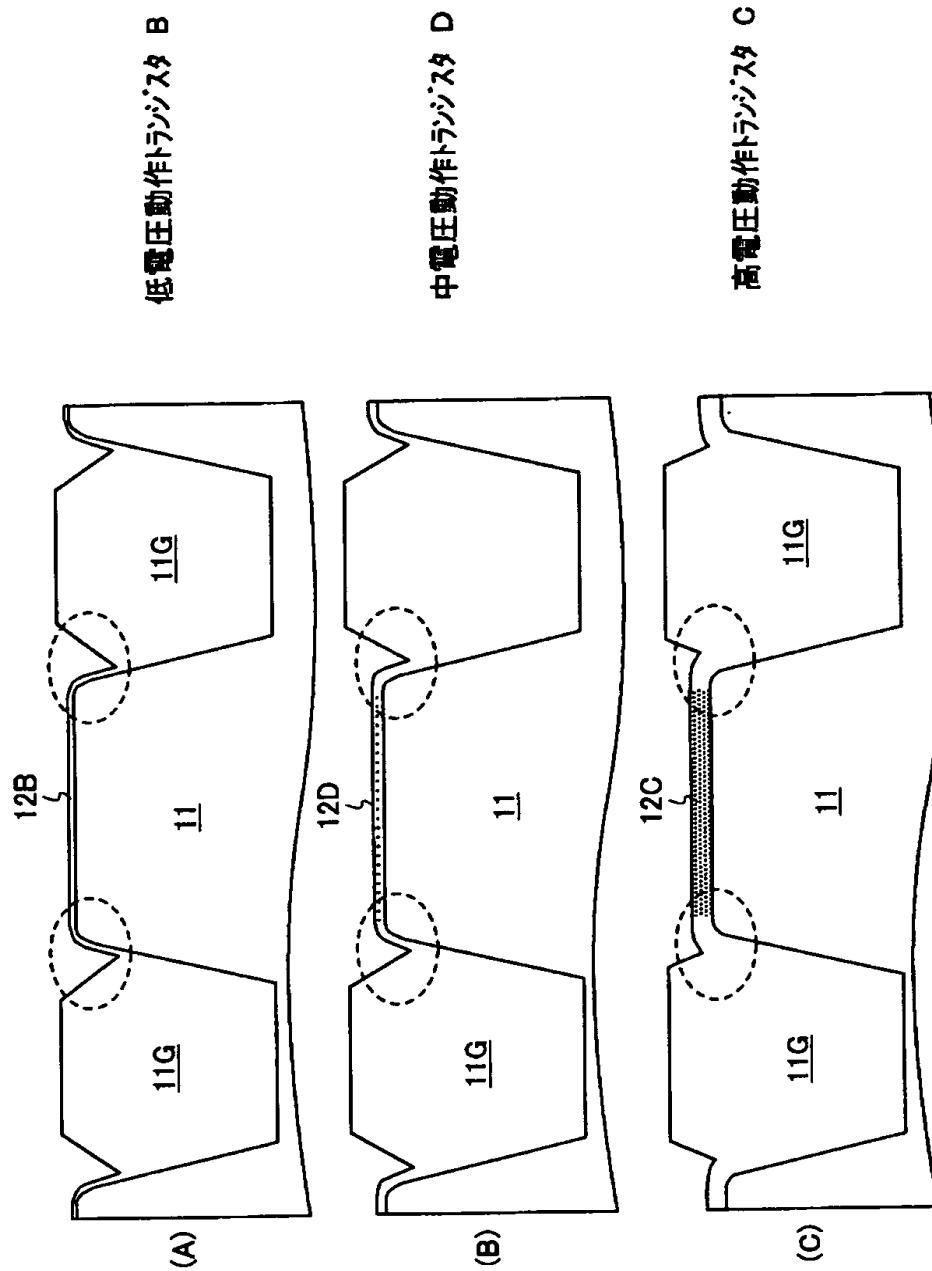
【図29】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



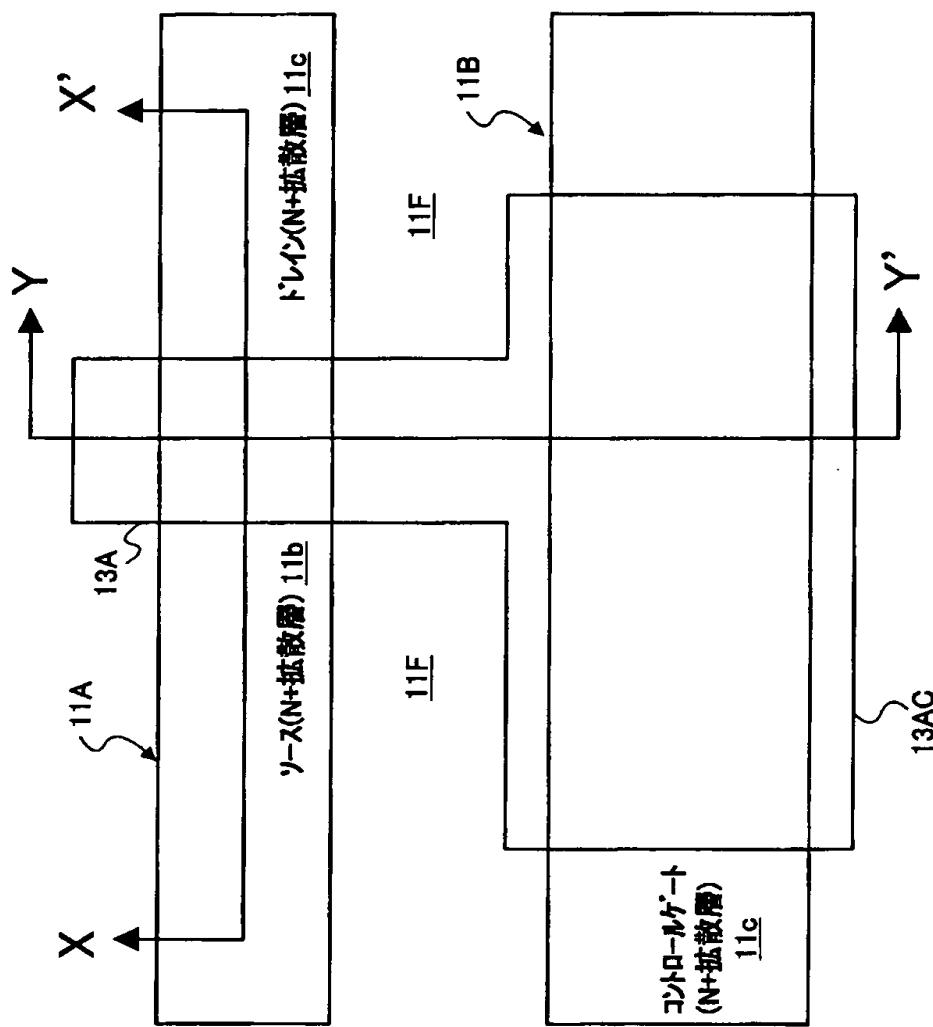
【図30】

(A)～(C)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



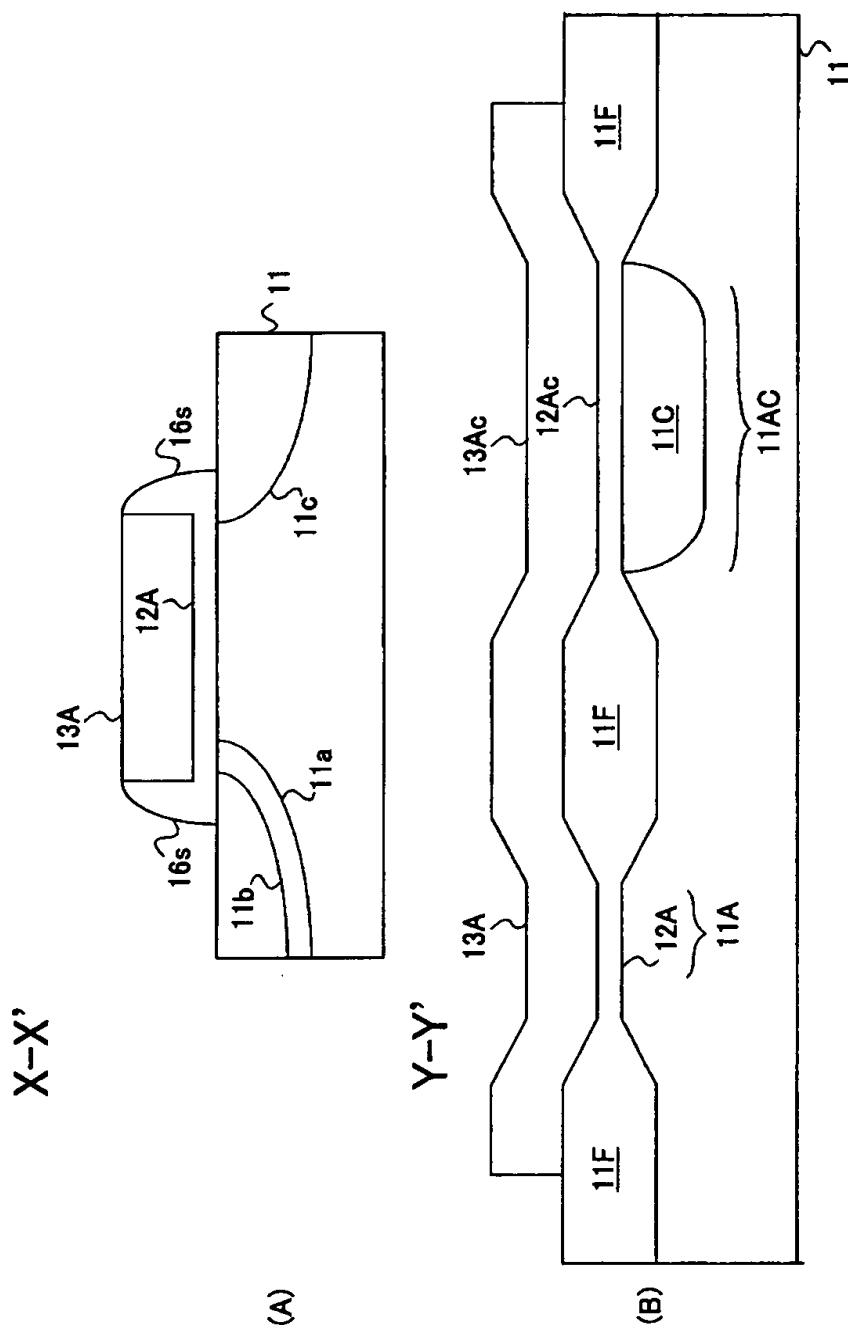
【図31】

## 従来のフラッシュメモリの構成を示す平面図



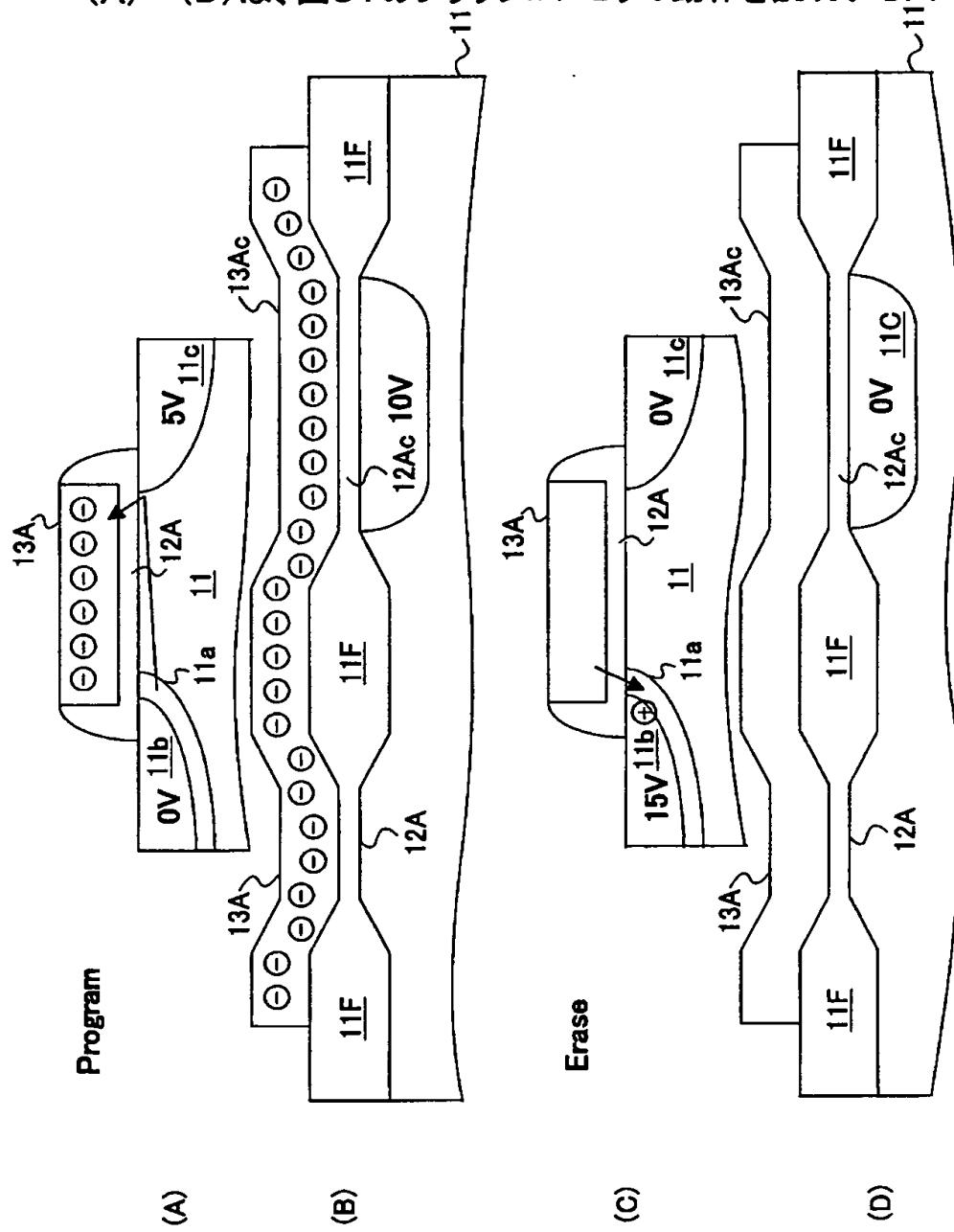
【図32】

(A), (B)は、図31のフラッシュメモリの構成を示す断面図



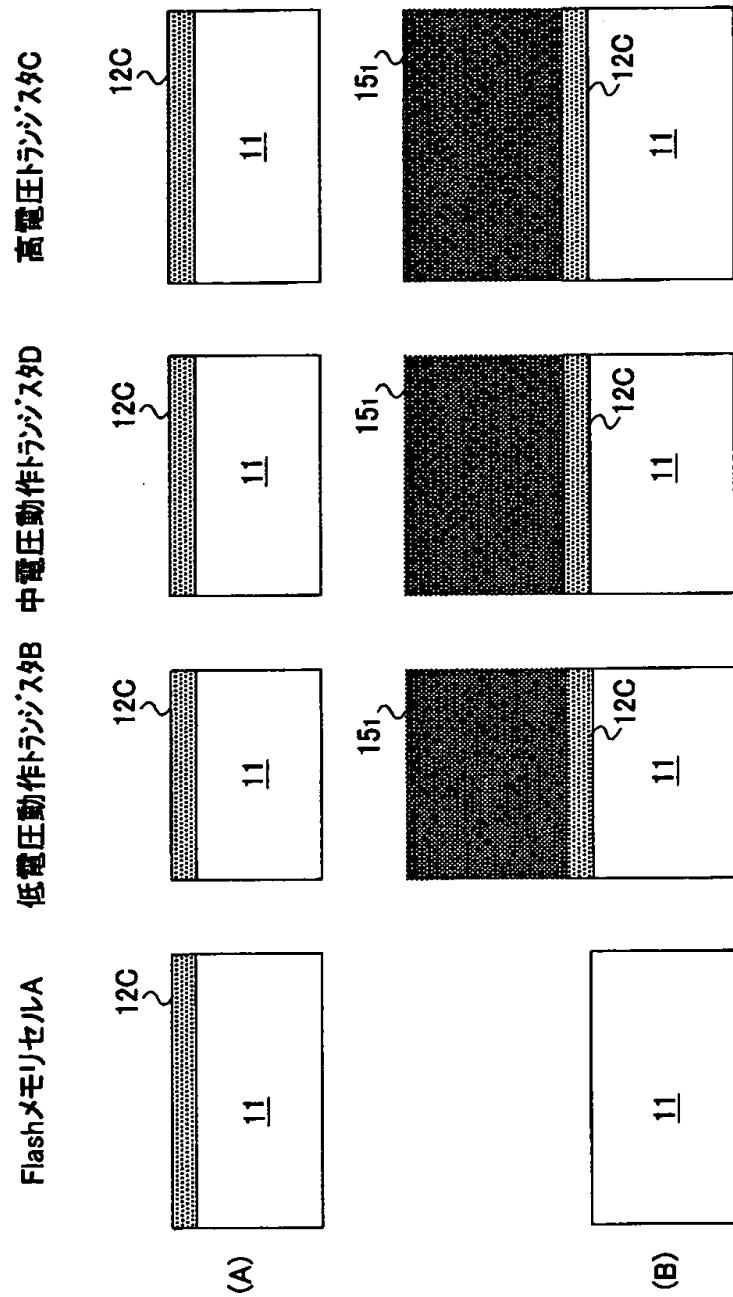
【図33】

(A)～(D)は、図31のフラッシュメモリの動作を説明する図



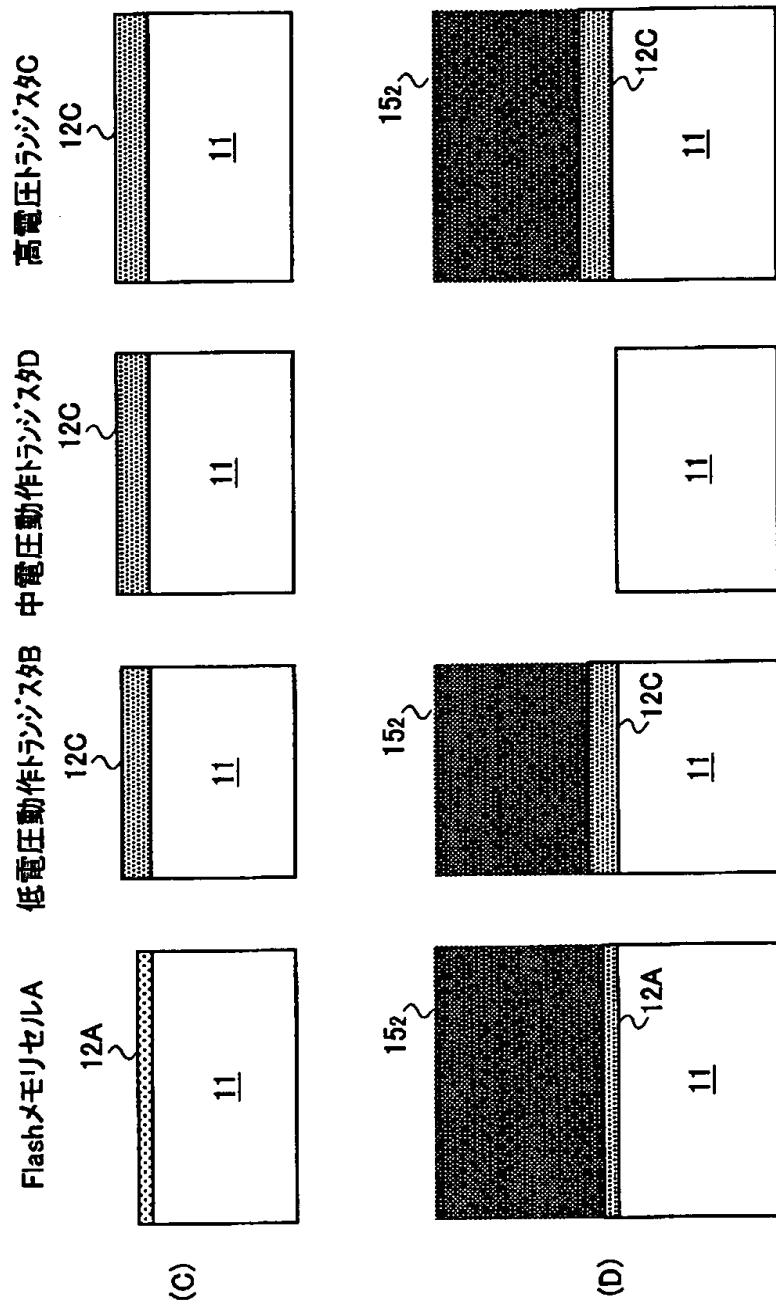
【図34】

(A), (B)は、図31のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)



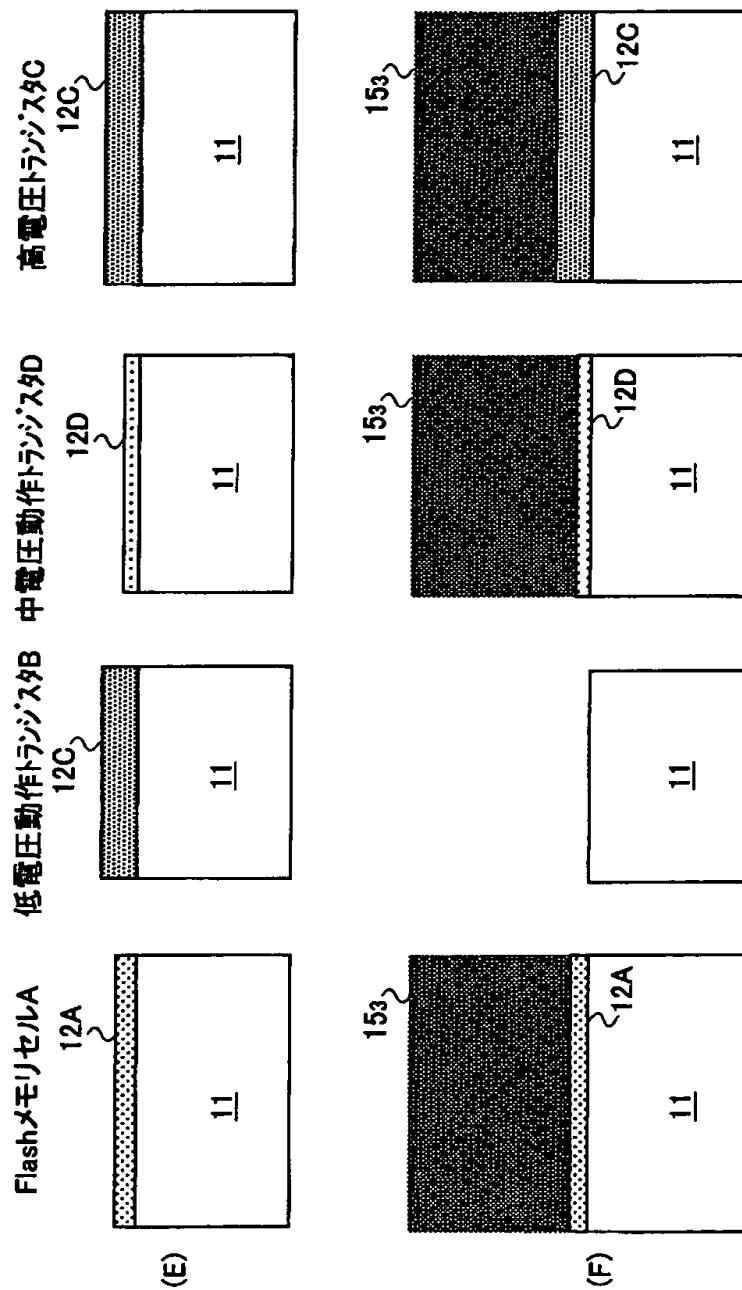
【図35】

(C), (D)は、図31のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その2)



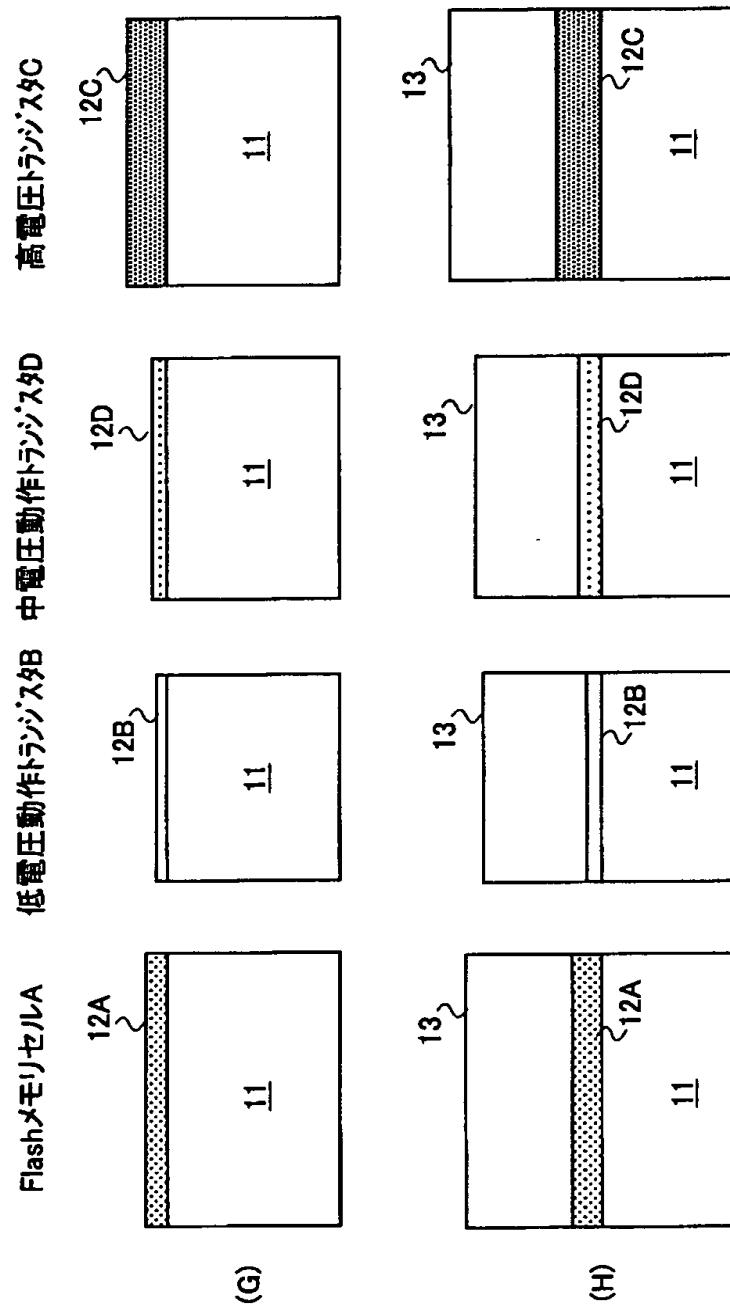
【図36】

(E), (F)は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



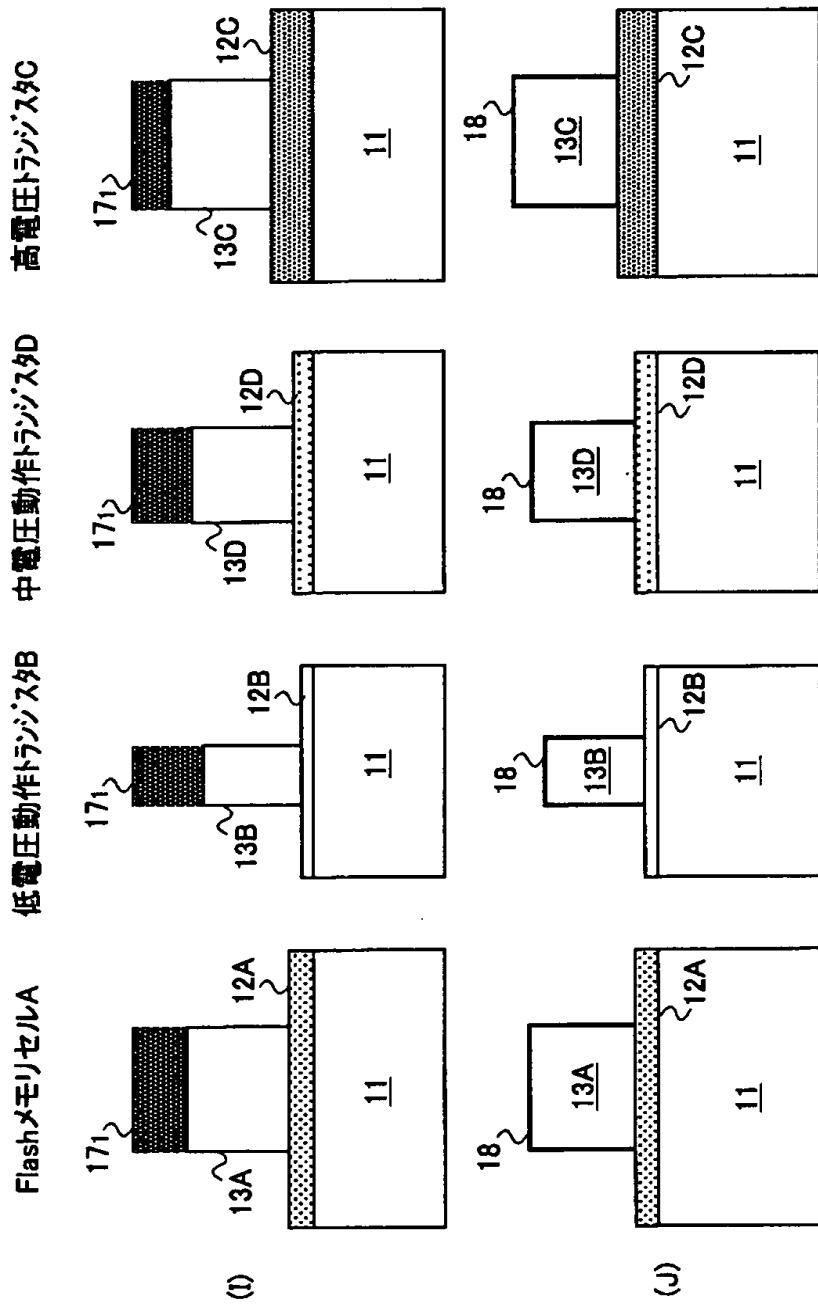
【図37】

(G), (H)は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)



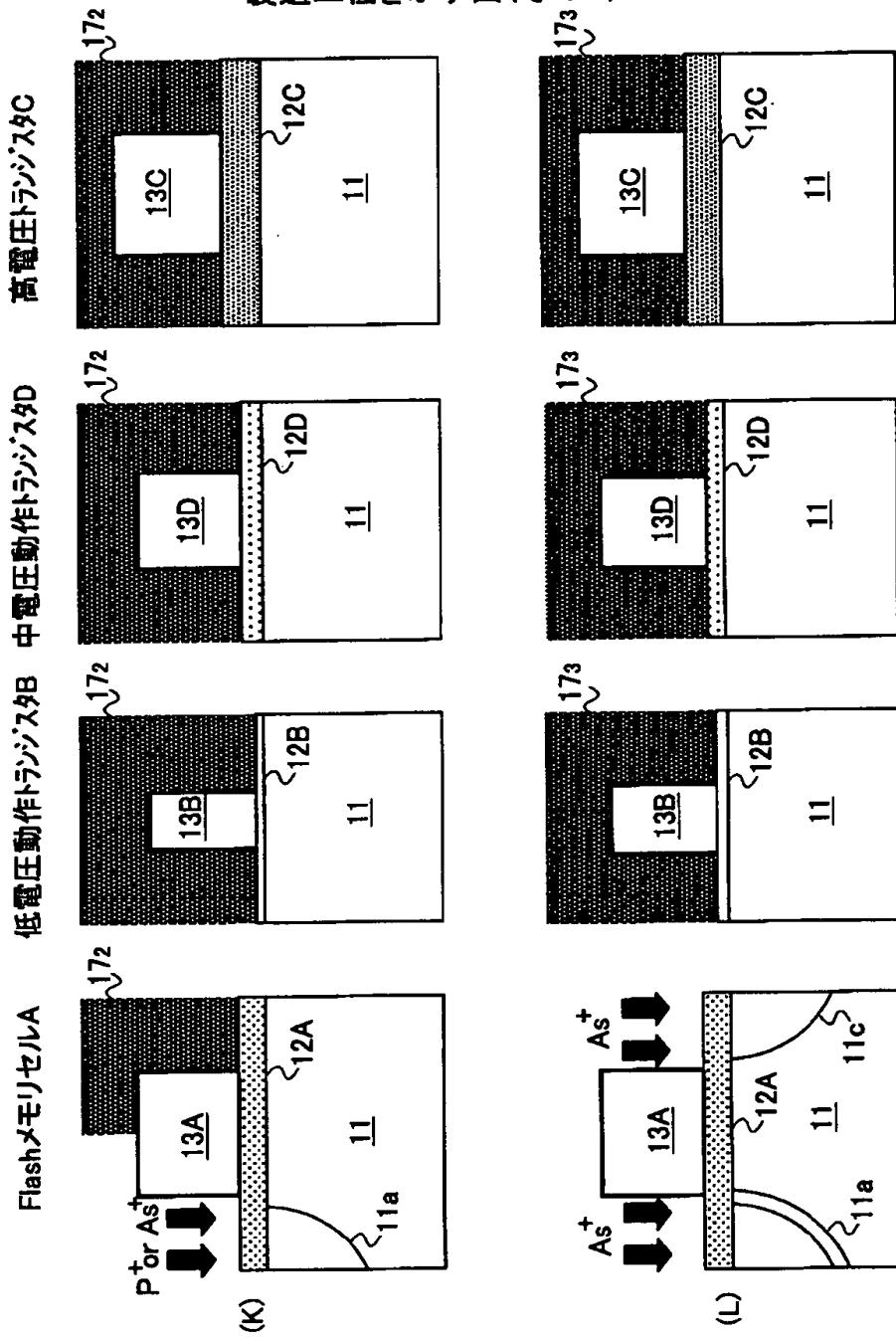
【図38】

(I), (J)は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



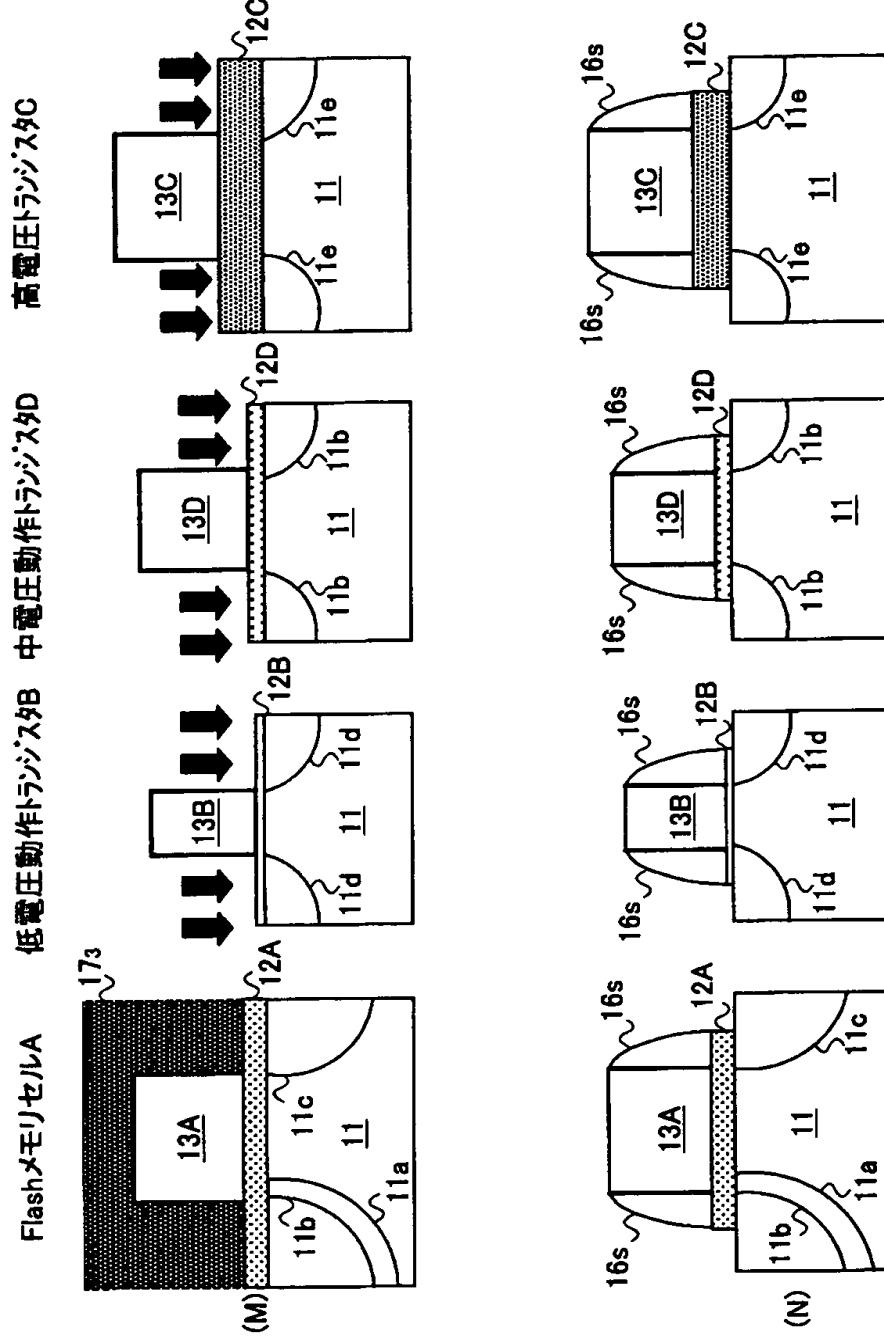
【図39】

(K), (L)は、図31の従来のフラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その6)



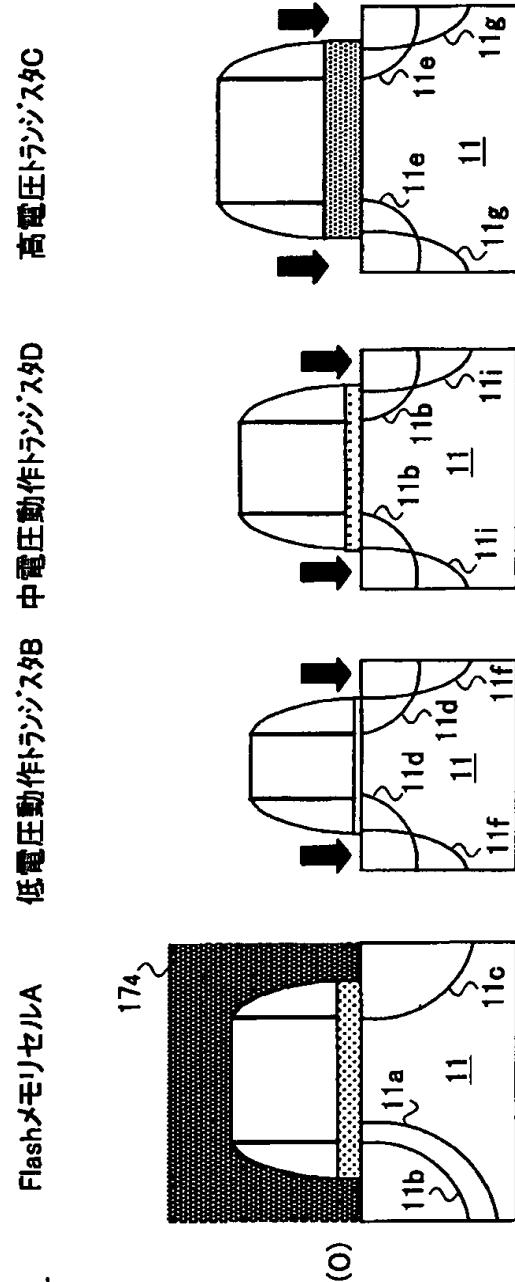
【図40】

(M), (N)は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その7)



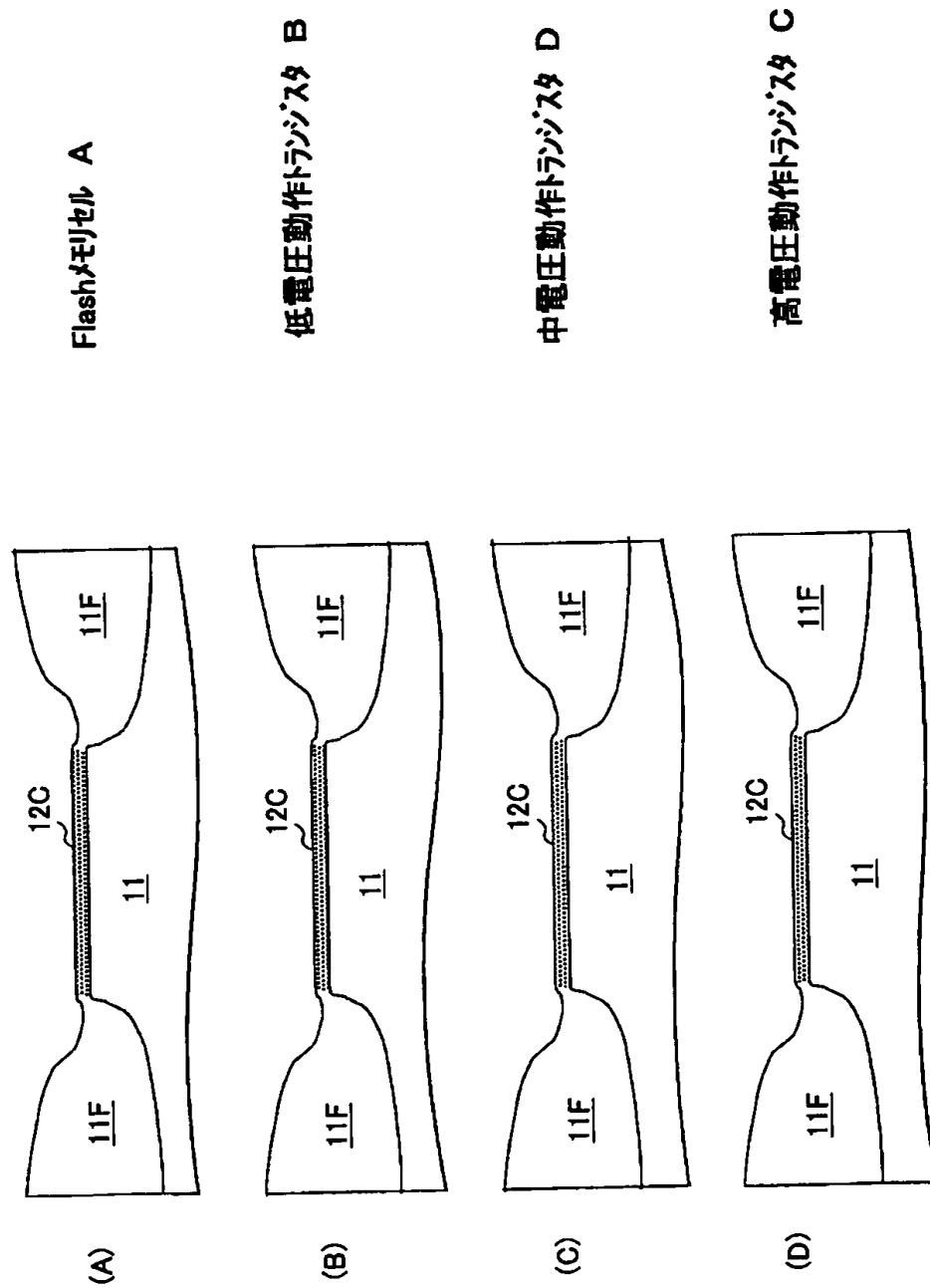
【図41】

(O)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その8)



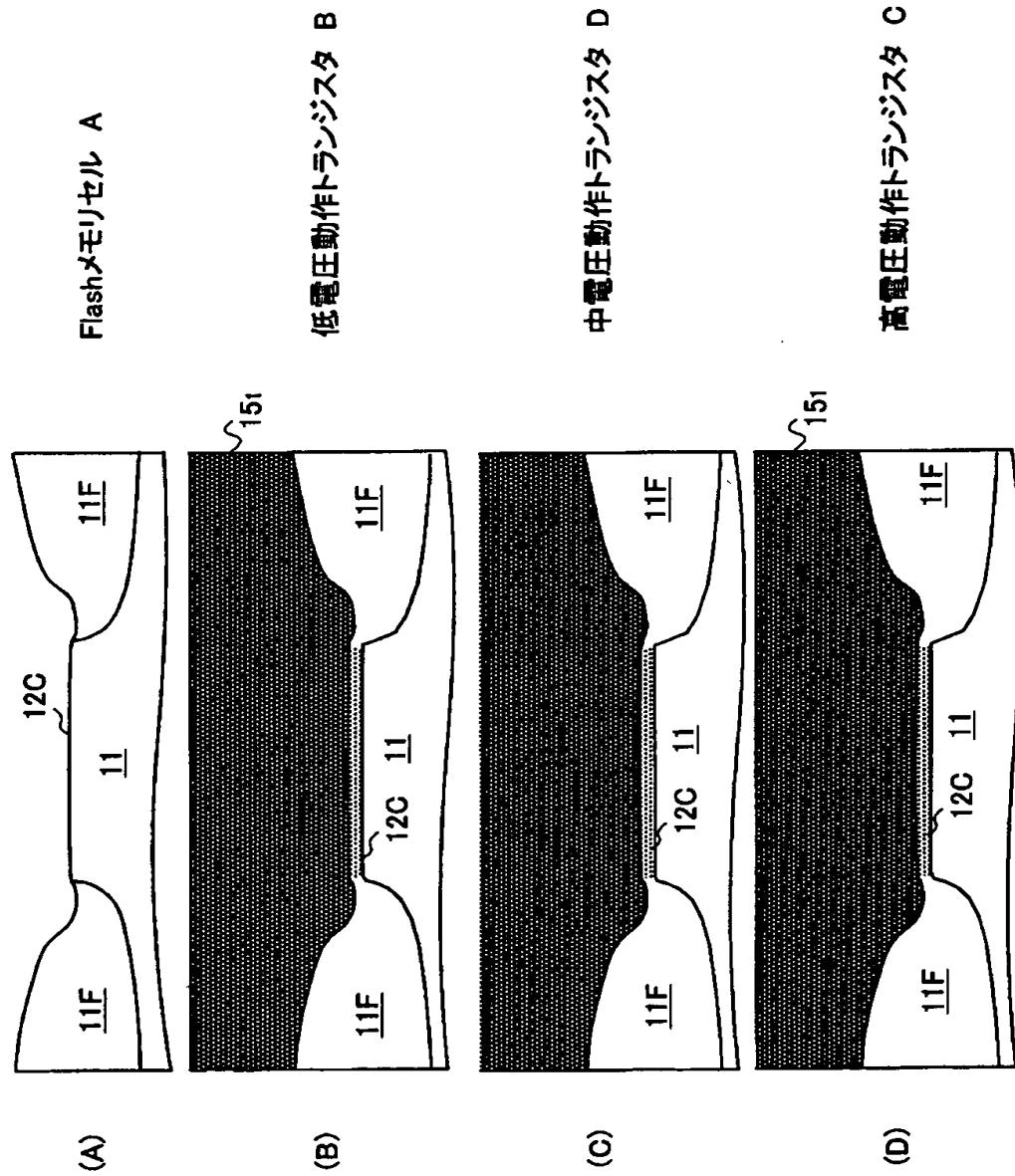
【図42】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する図



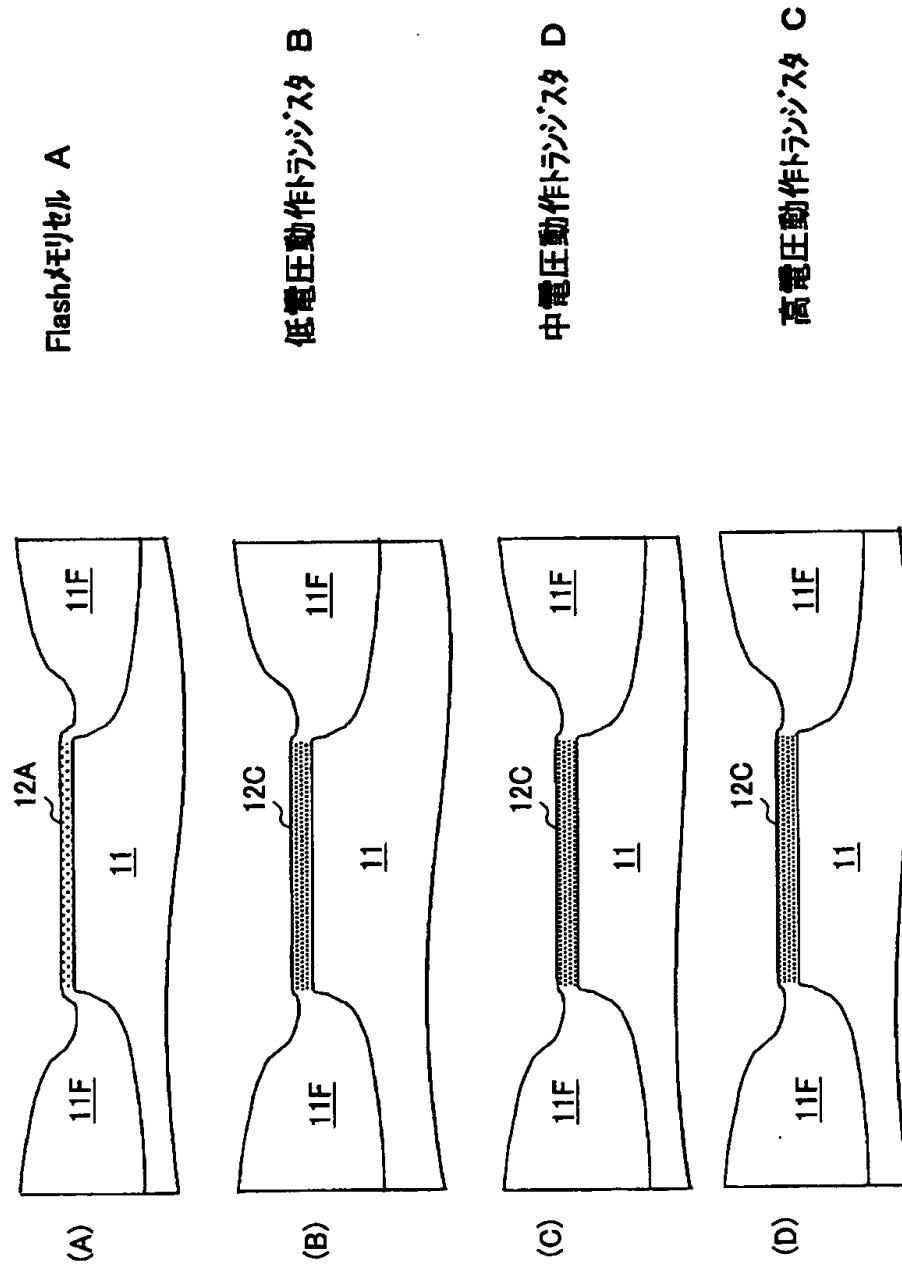
【図43】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



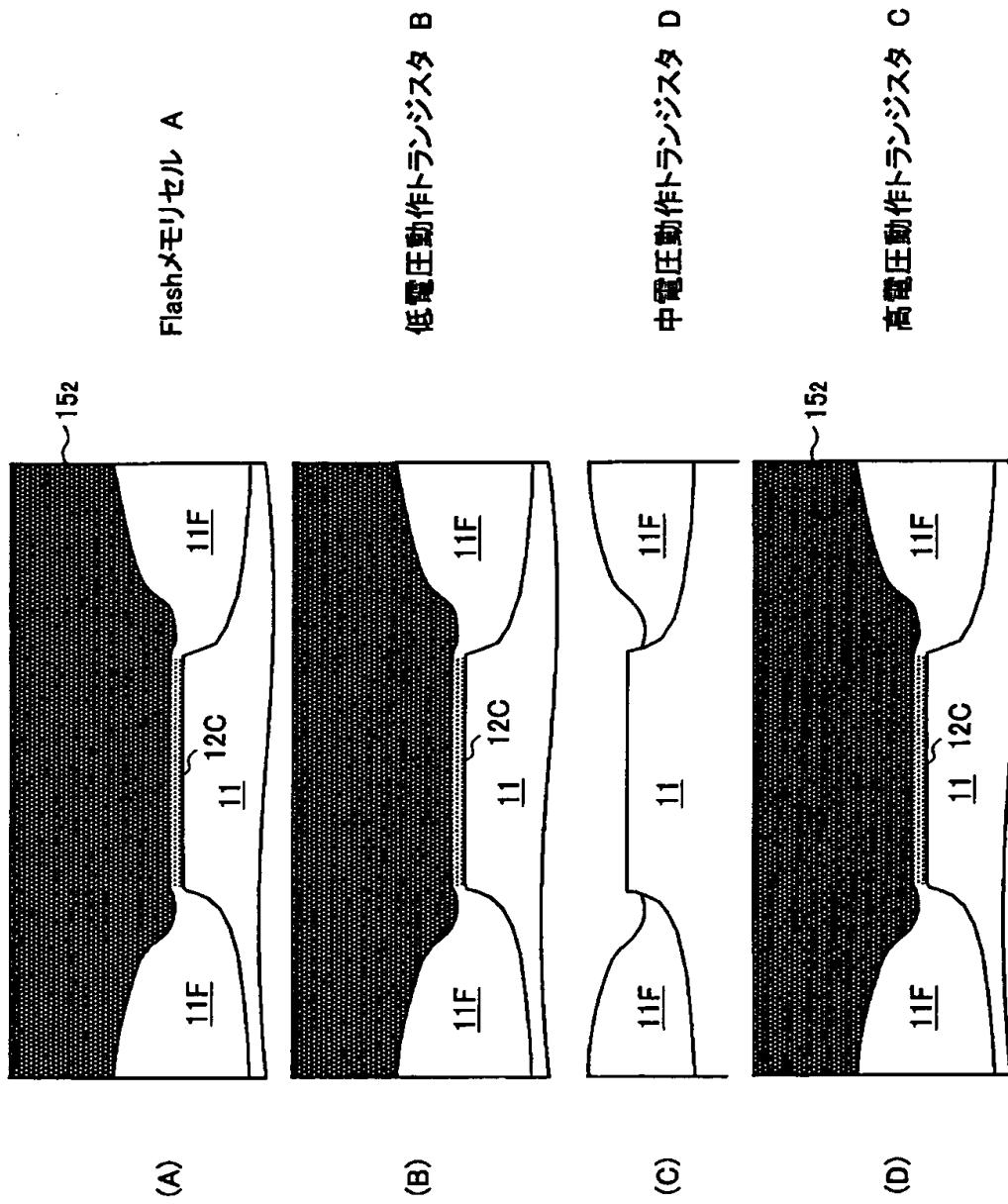
【図44】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



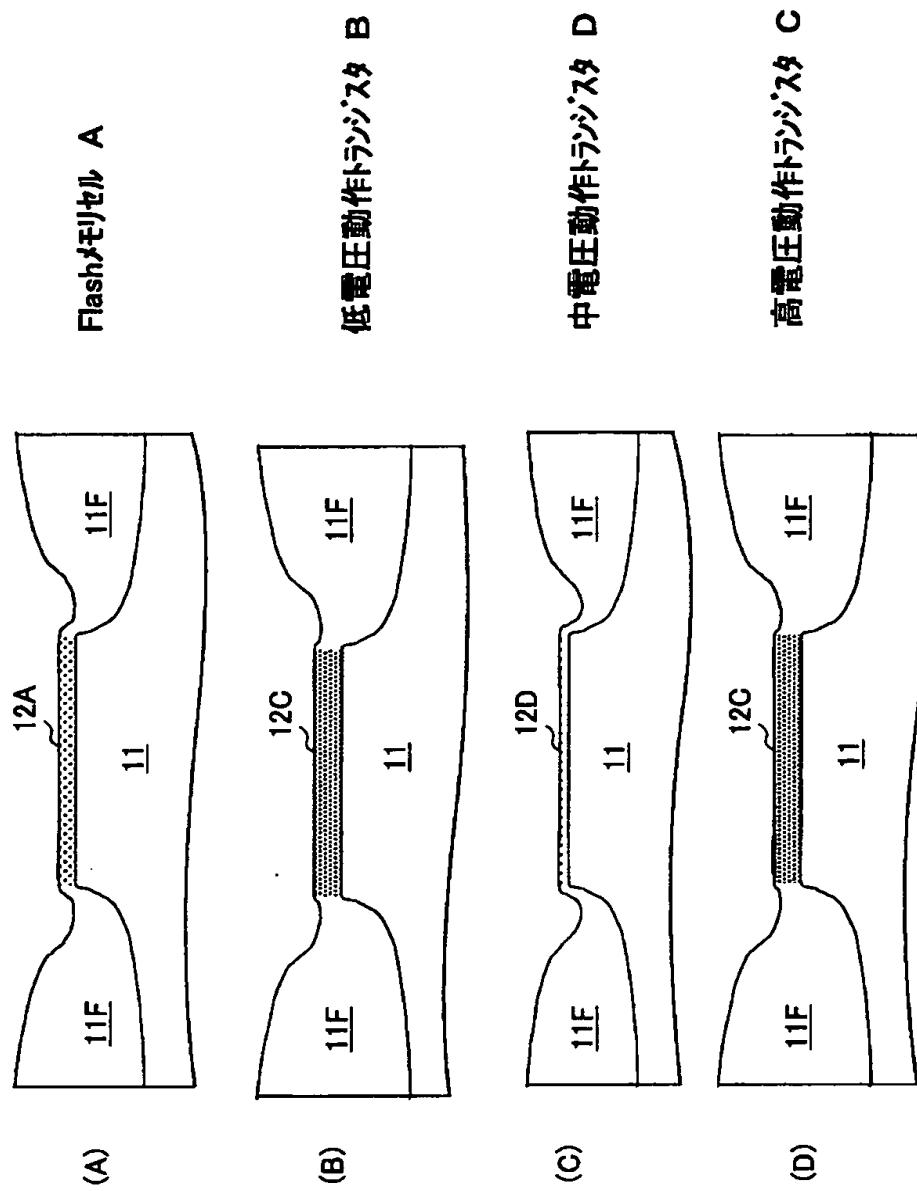
【図45】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



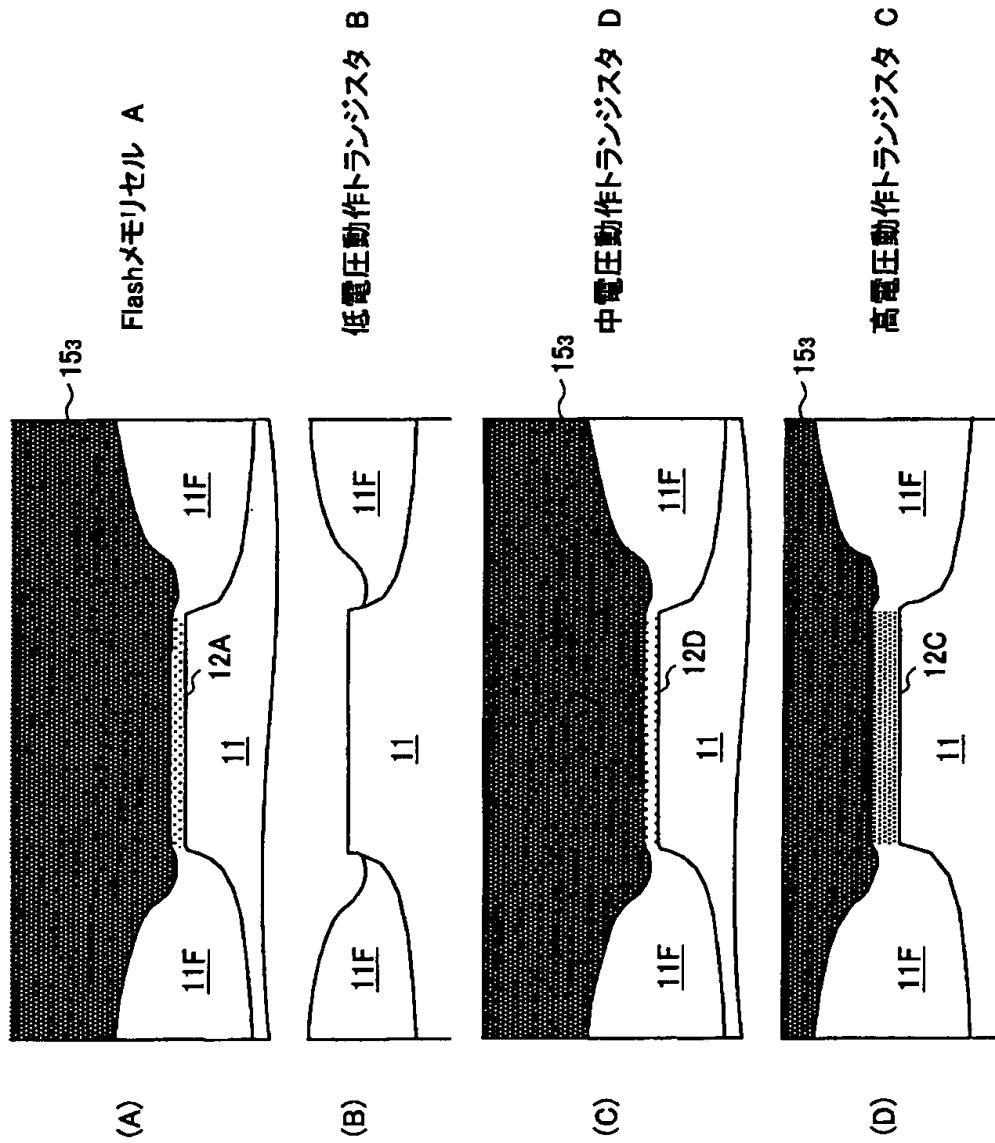
【図46】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



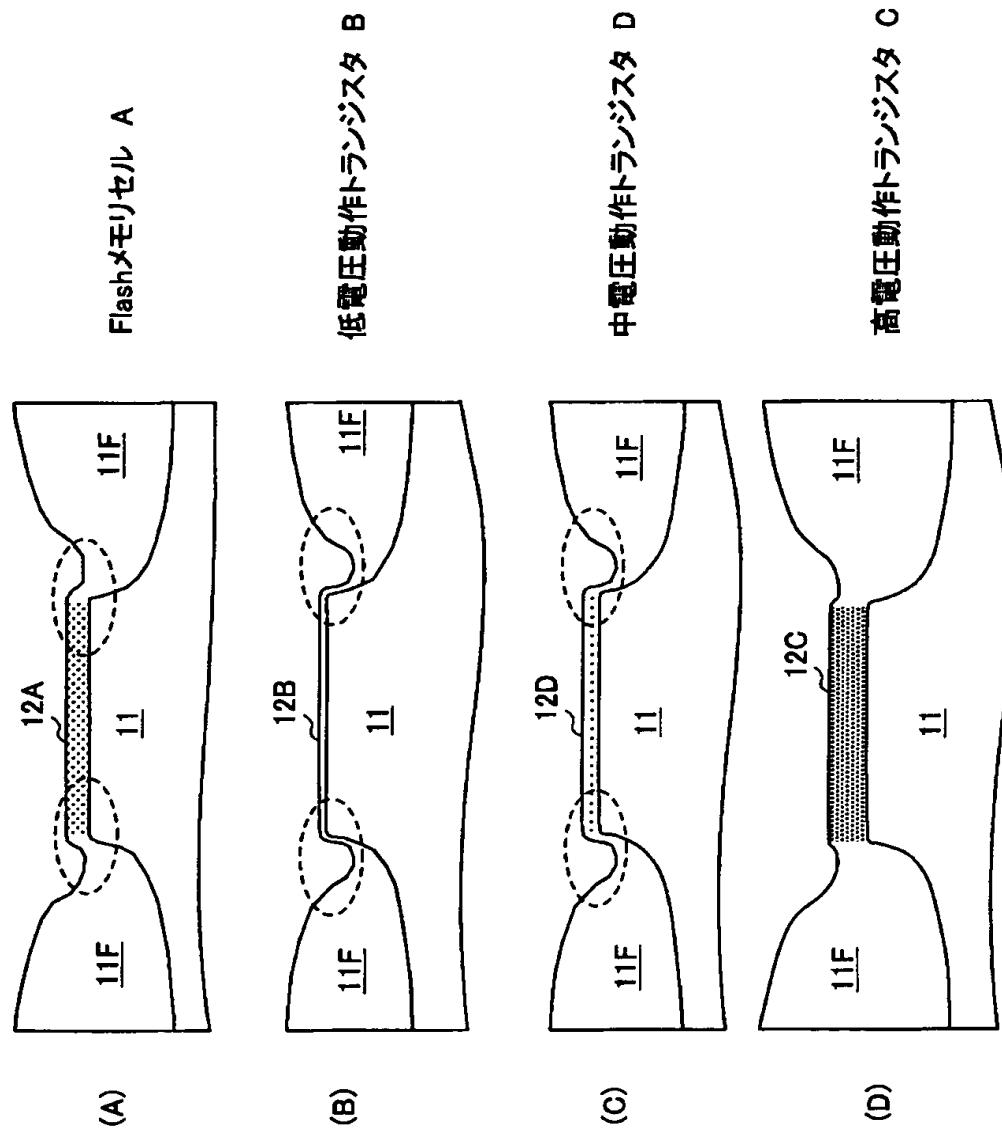
【図47】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



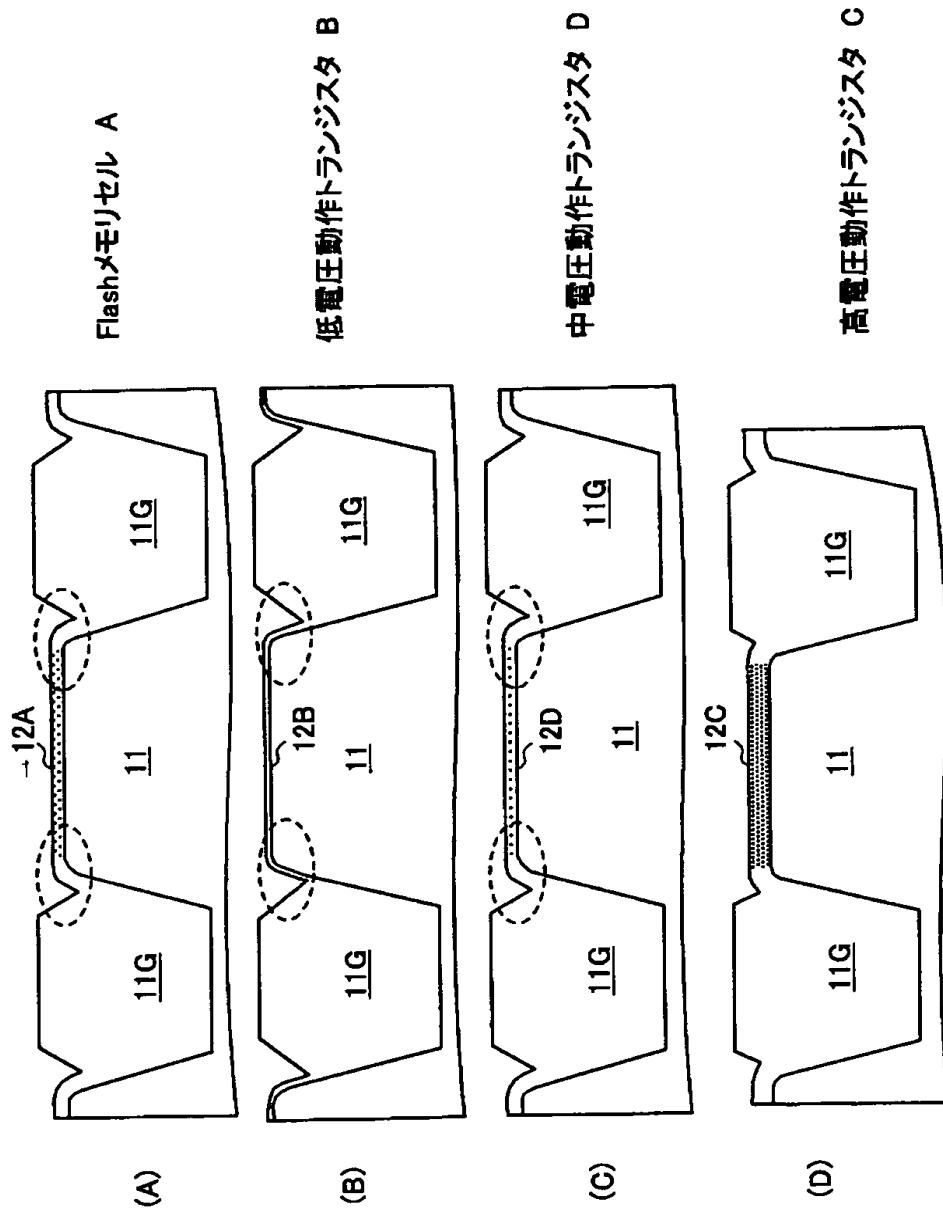
【図48】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



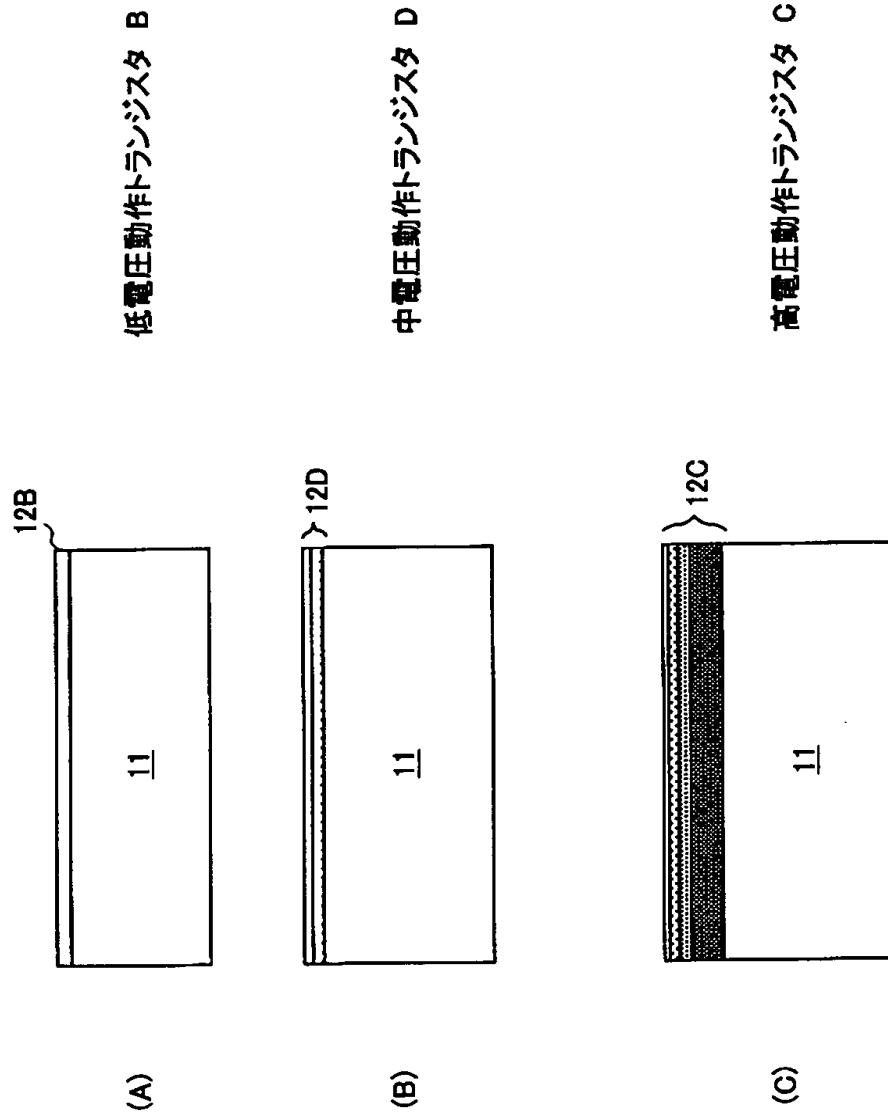
【図49】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



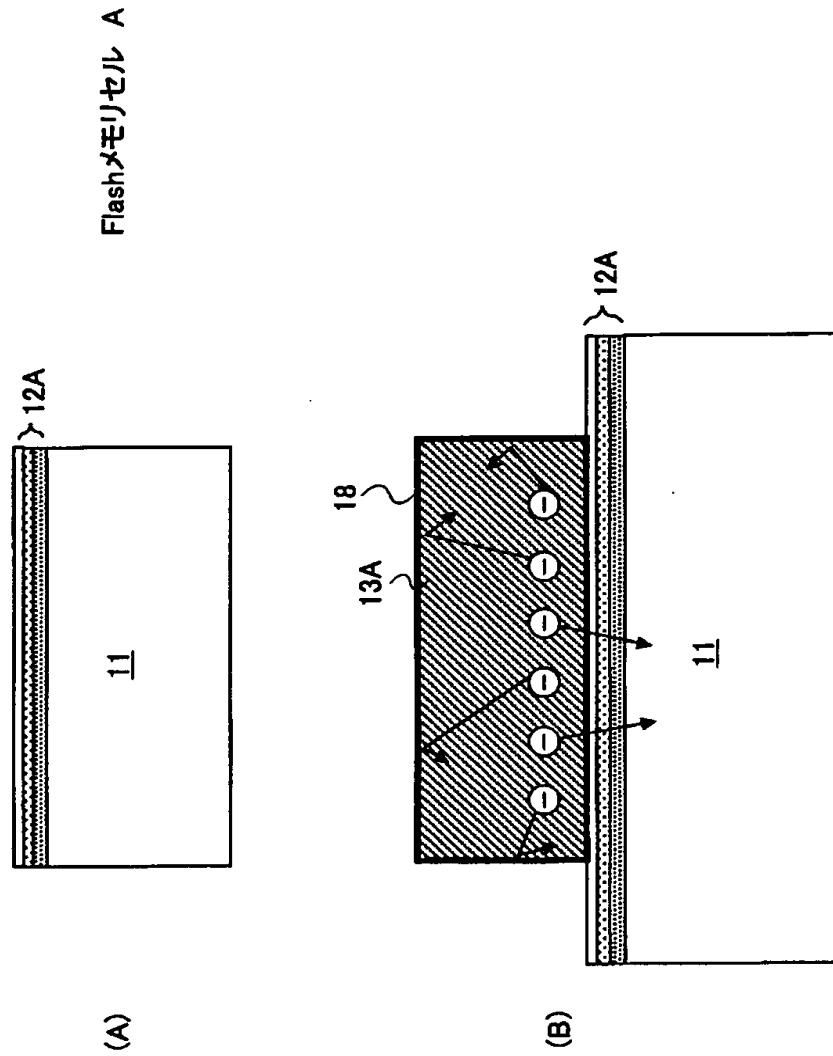
【図50】

(A)～(C)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



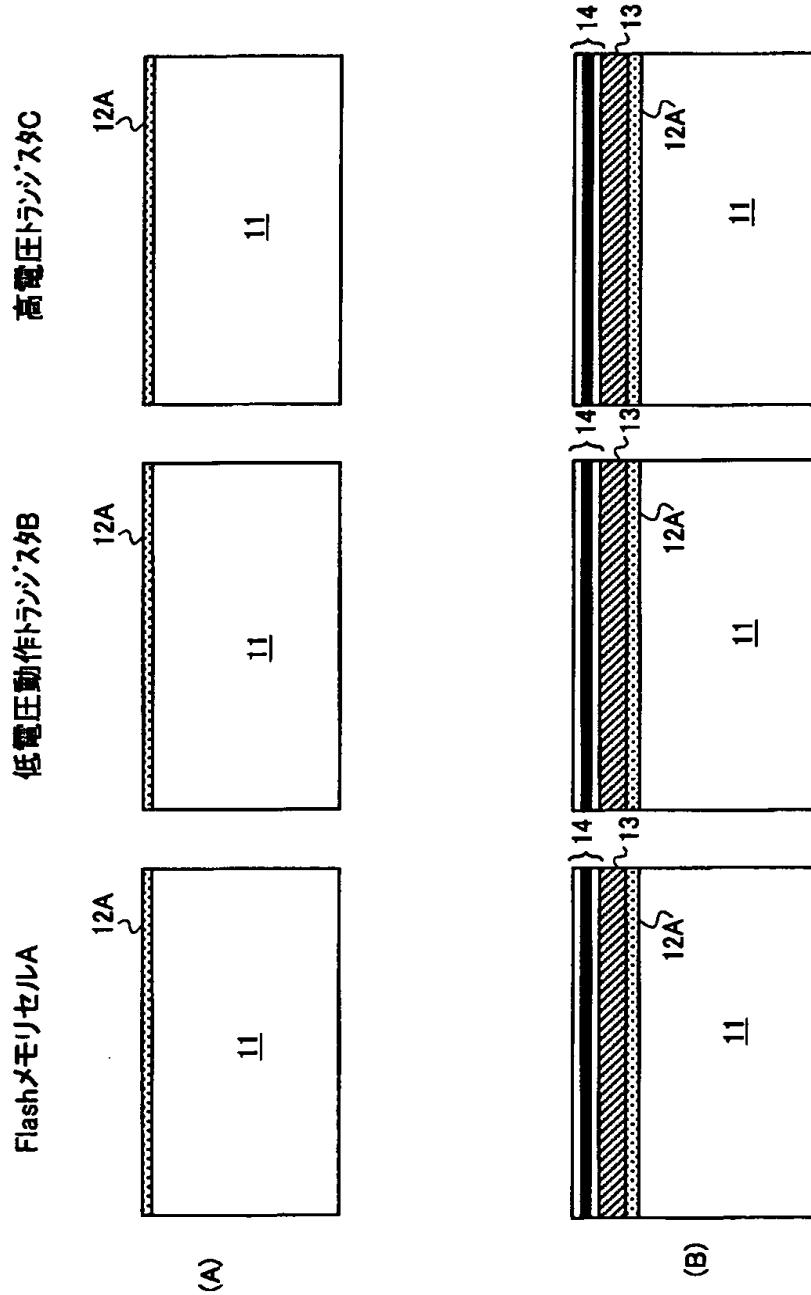
【図51】

(A)～(B)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



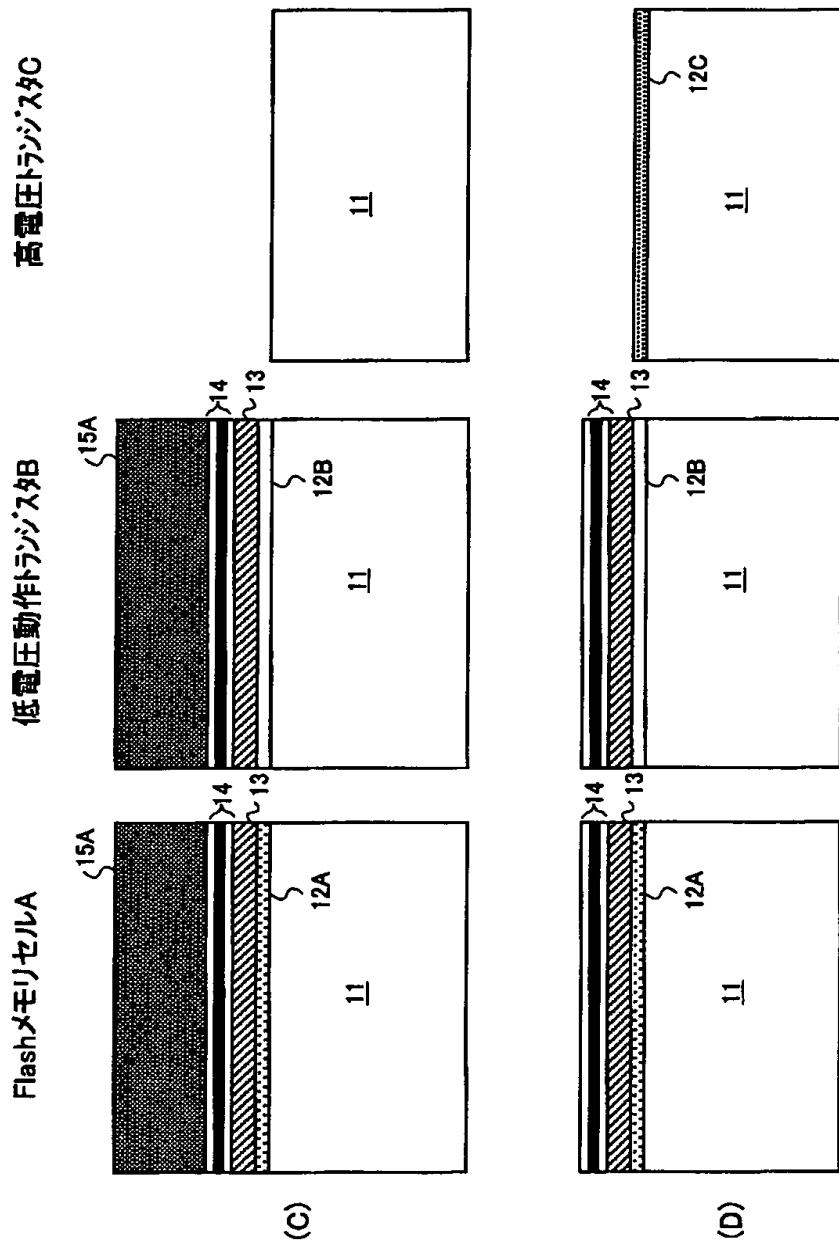
【図52】

(A), (B)は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)



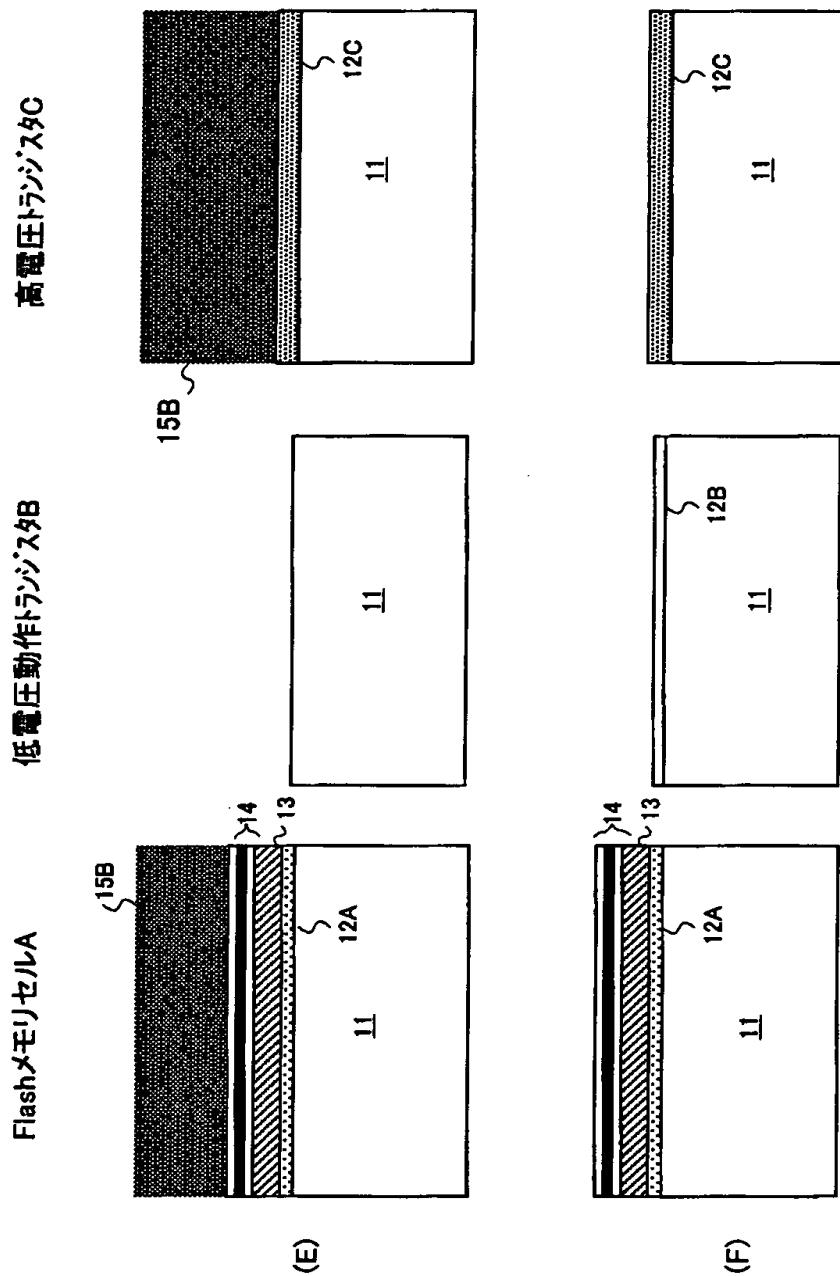
【図53】

(C), (D)は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)



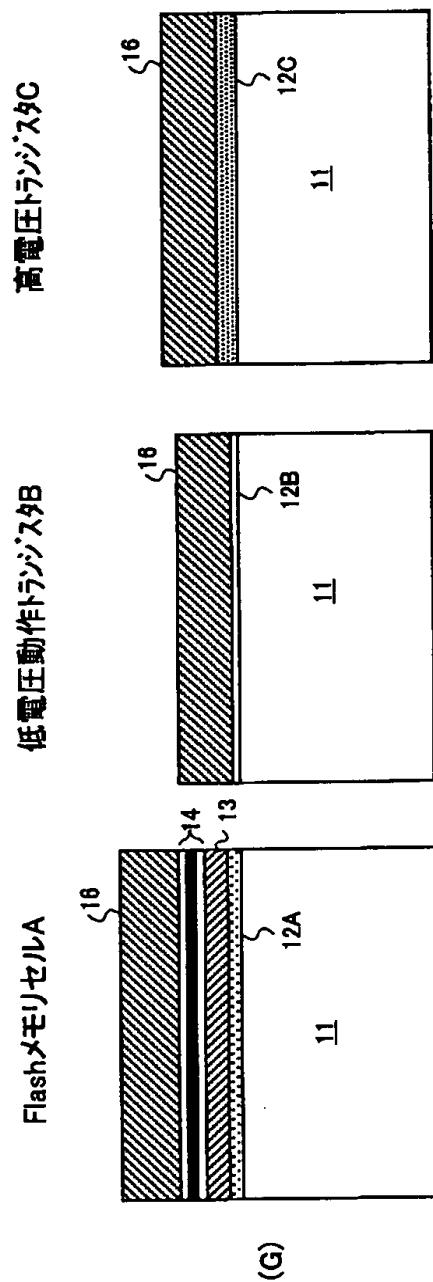
【図54】

(E), (F)は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



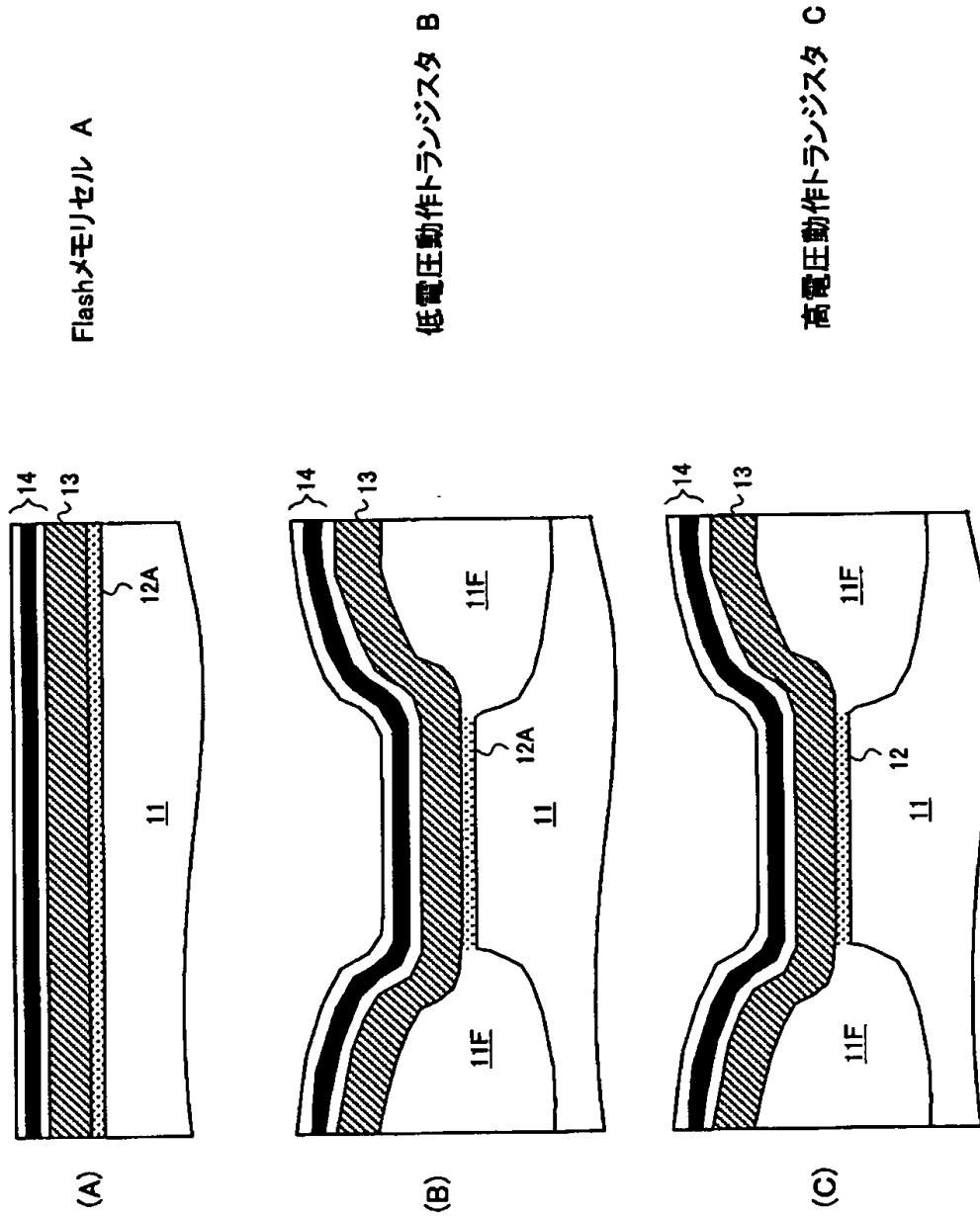
【図55】

(G)は、本発明の第1実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)



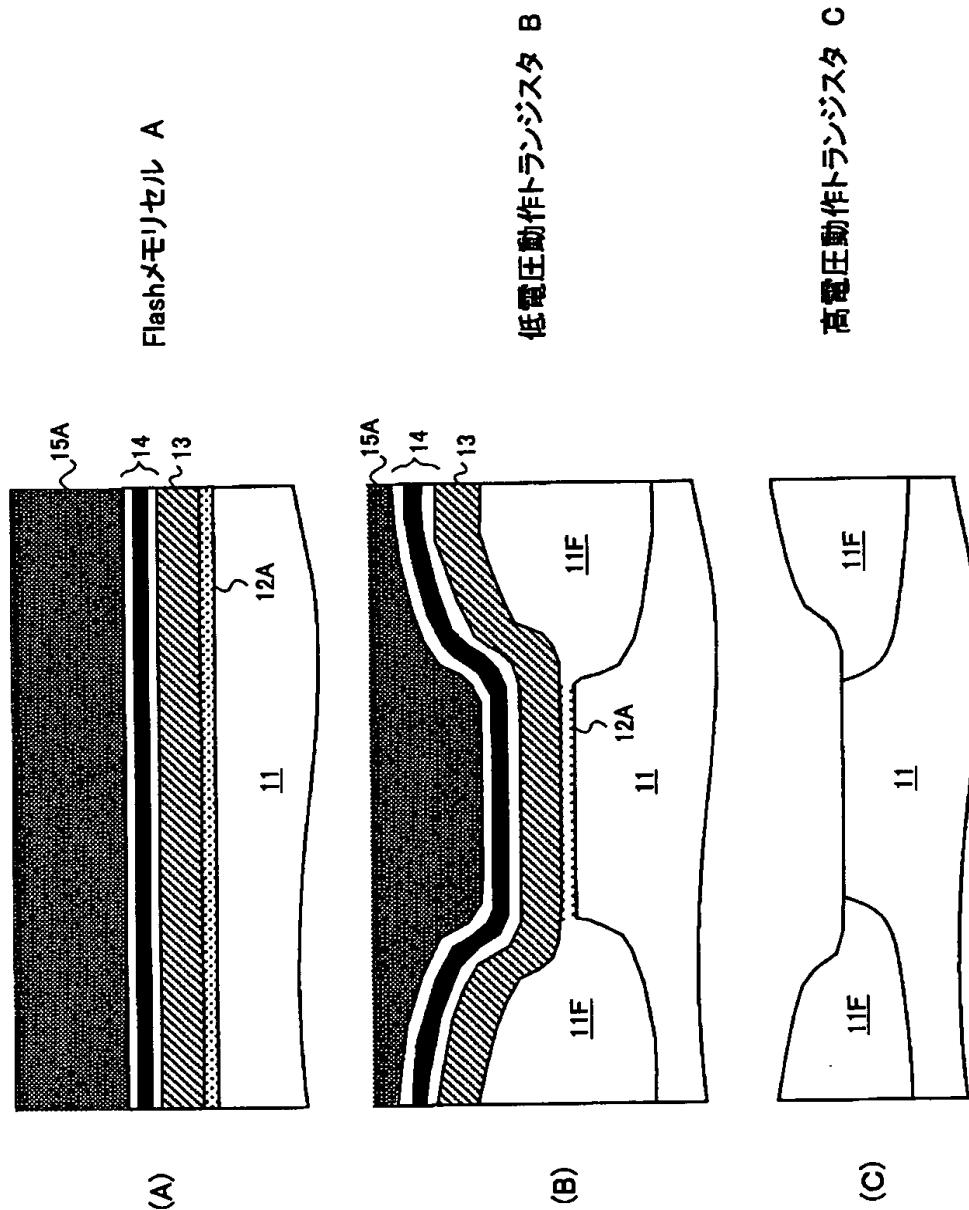
【図56】

(A)～(C)は本実施例の効果を説明する図



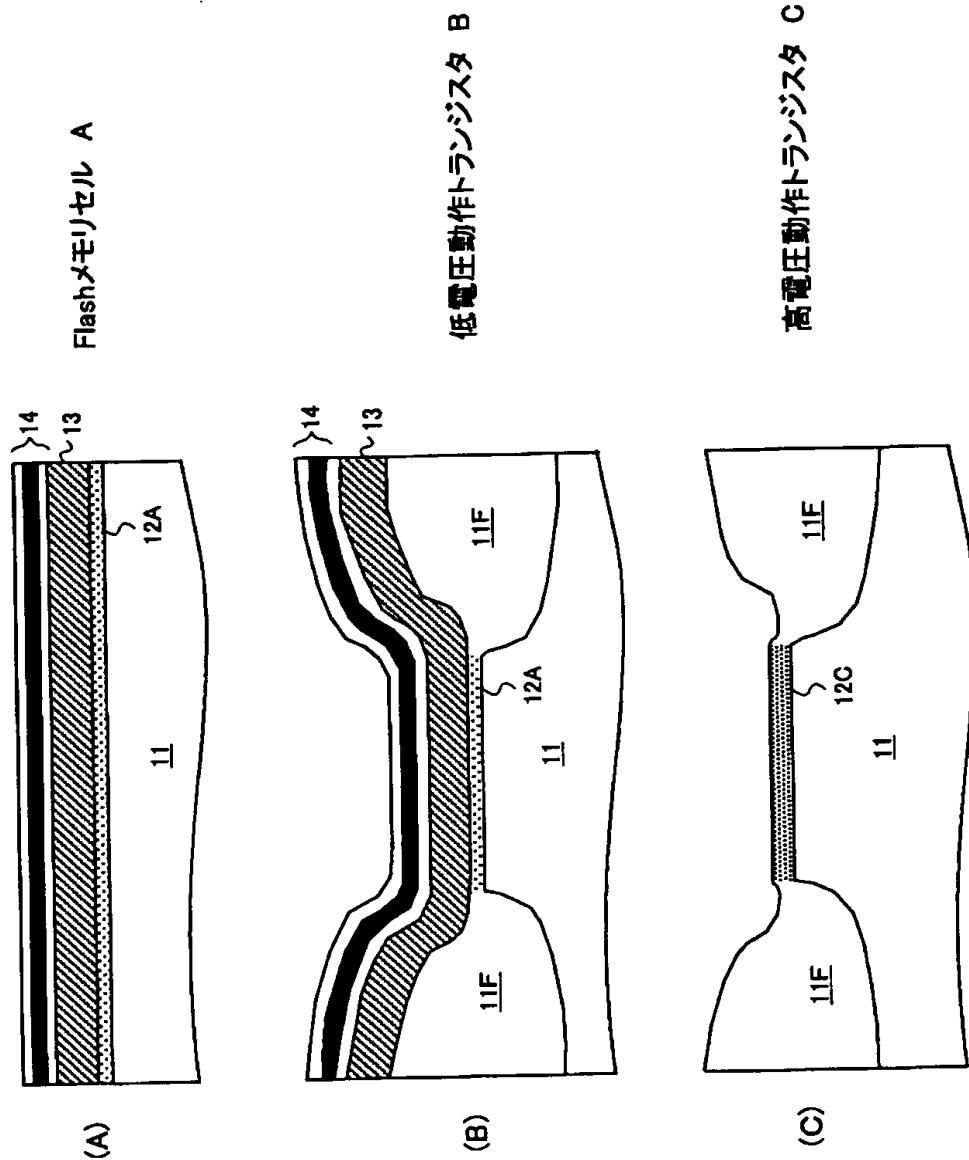
【図57】

(A)～(C)は本実施例の効果を説明する別の図



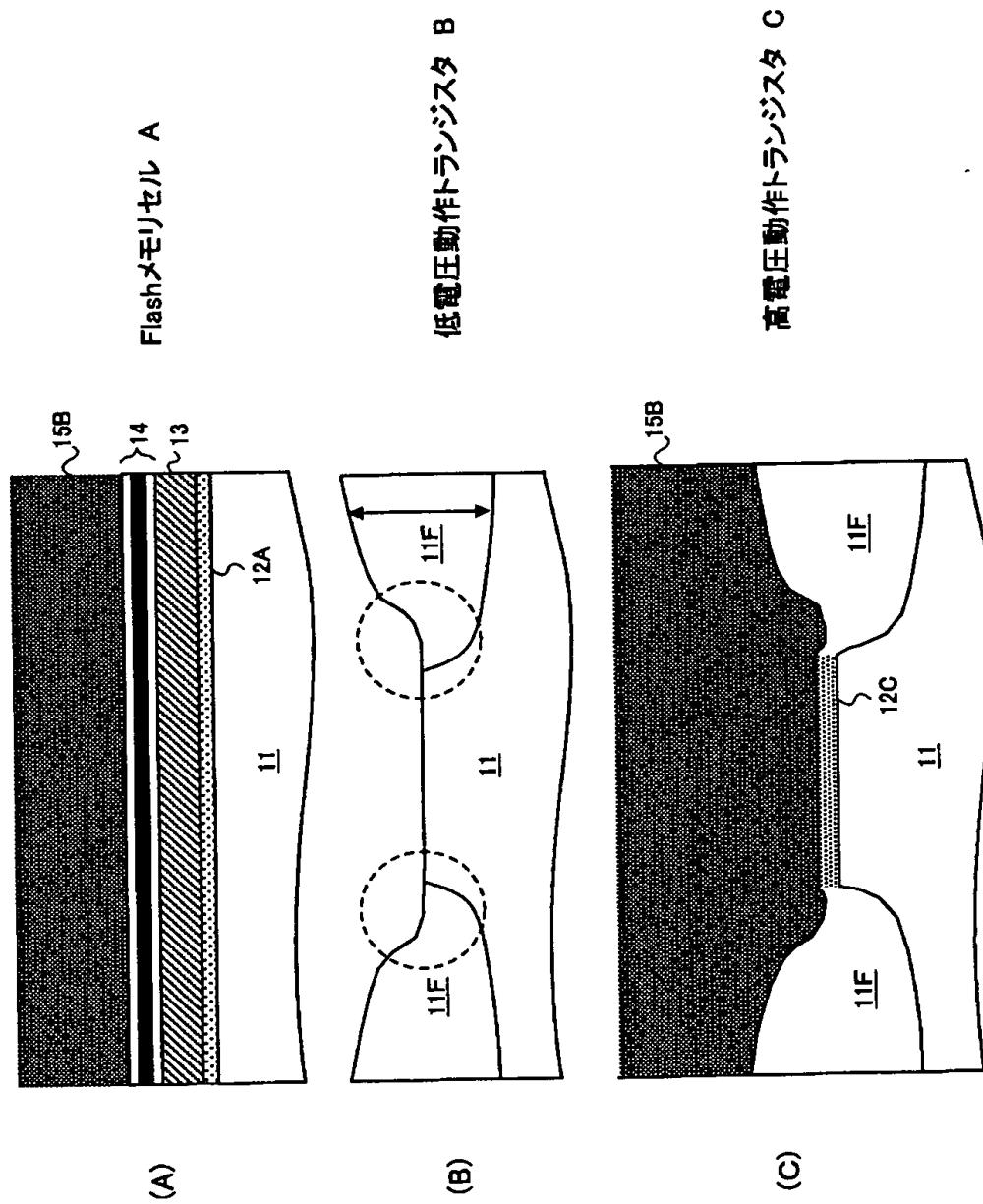
【図58】

(A)～(C)は本実施例の効果を説明する別の図



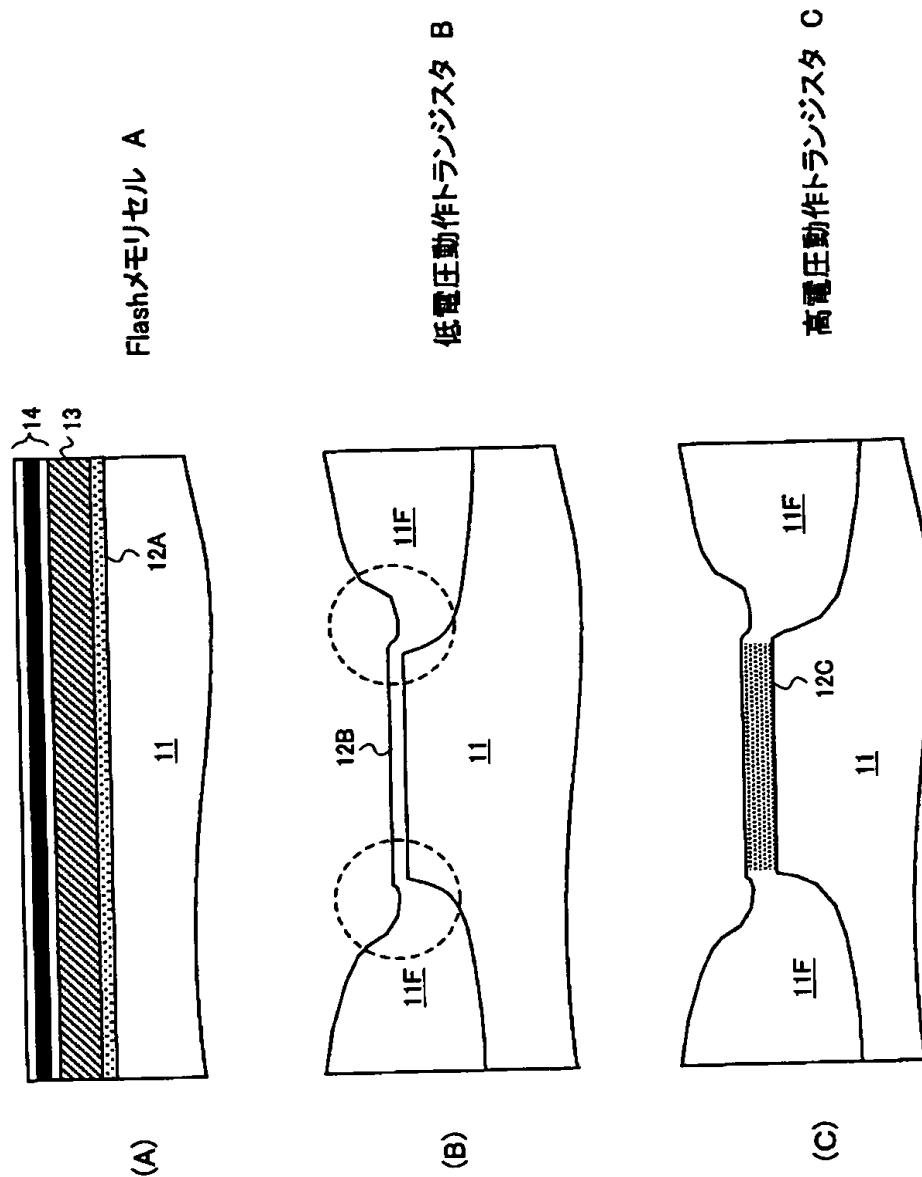
【図59】

(A)～(C)は本実施例の効果を説明する別の図



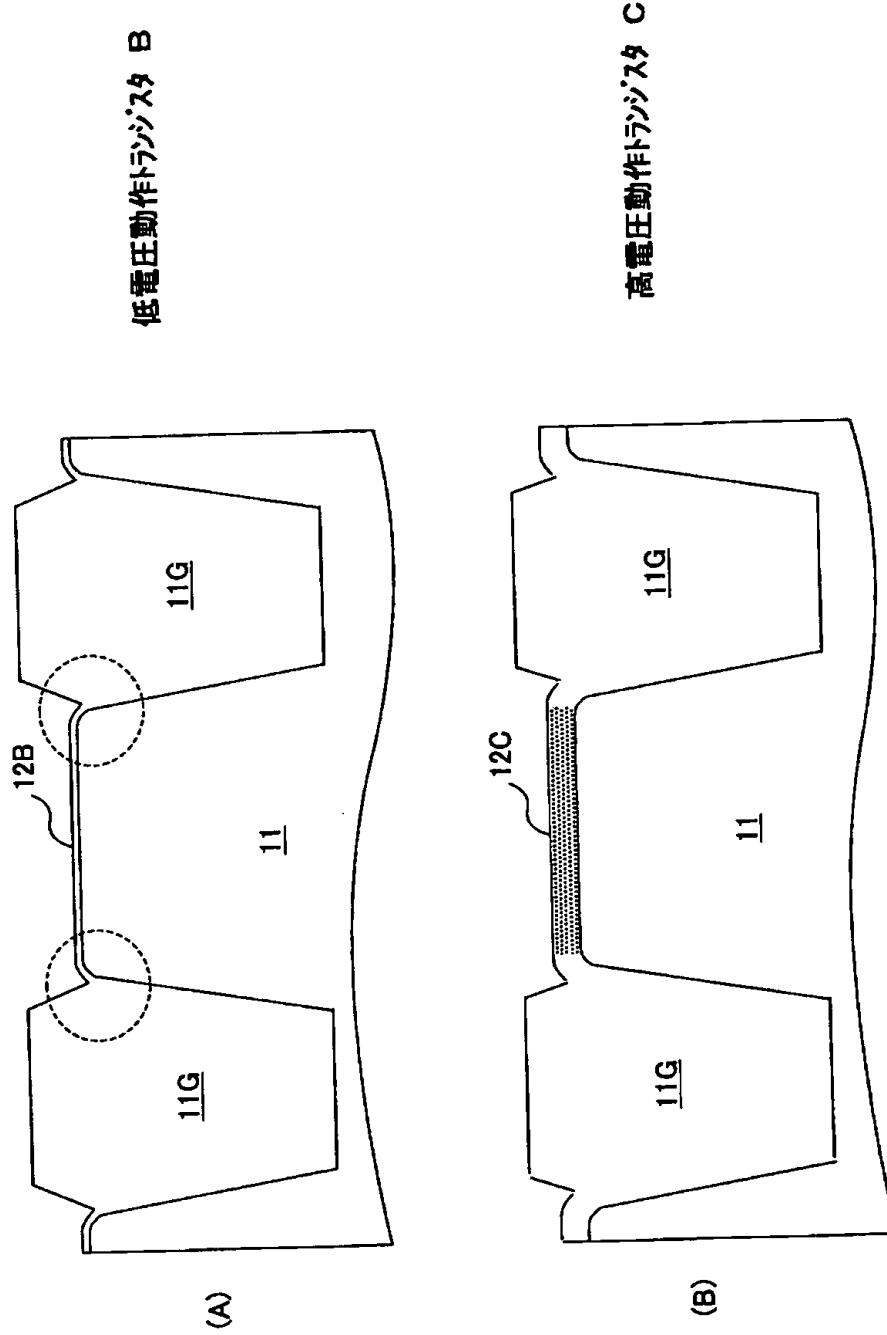
【図60】

(A)～(C)は本実施例の効果を説明する別の図



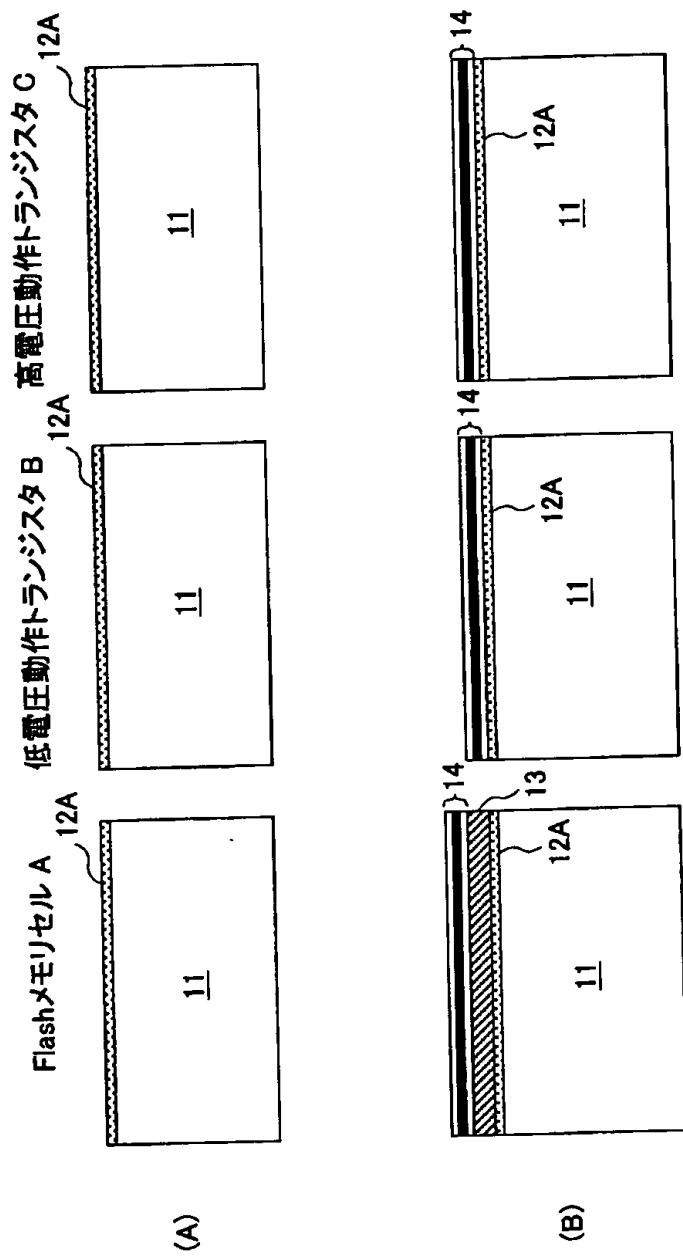
【図61】

(A) ~ (B) は本実施例の効果を説明する別の図



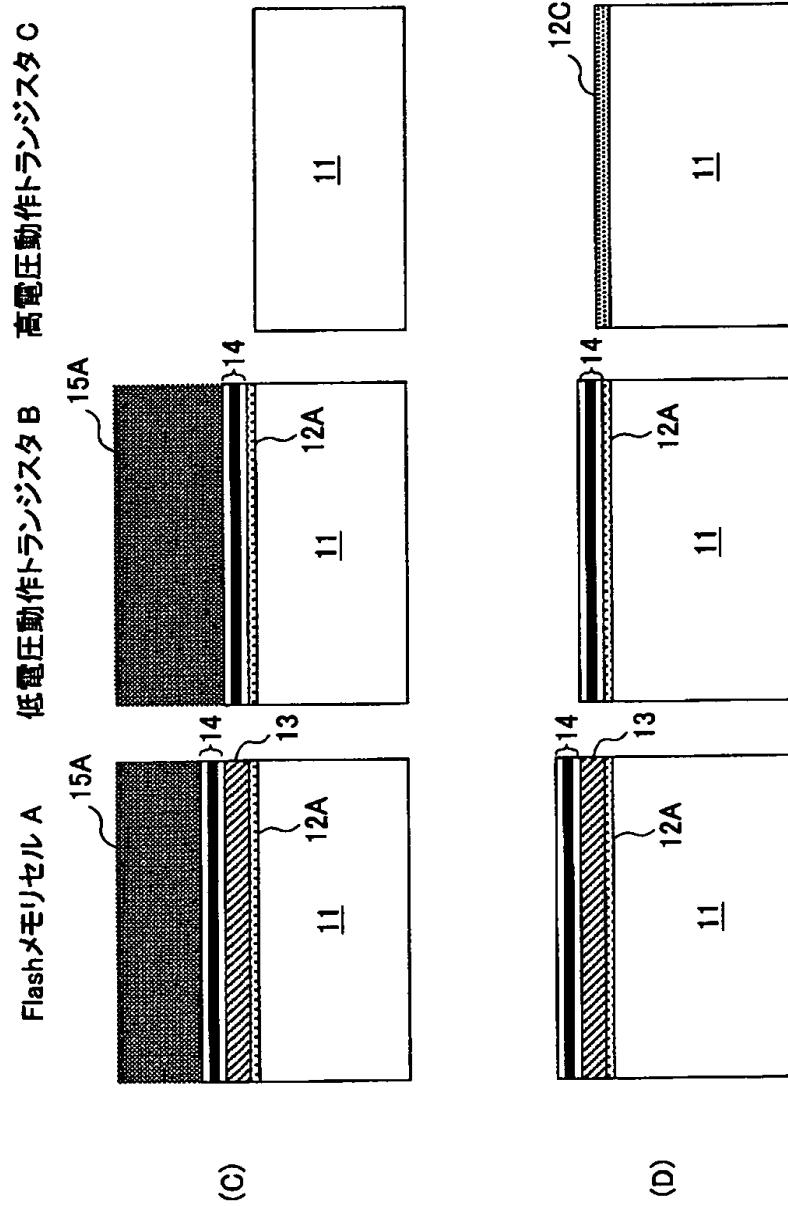
【図62】

(A), (B) は、本発明の第1実施例の一変形例による  
フラッシュメモリを含む半導体集積回路装置の製造工程を  
示す図(その1)



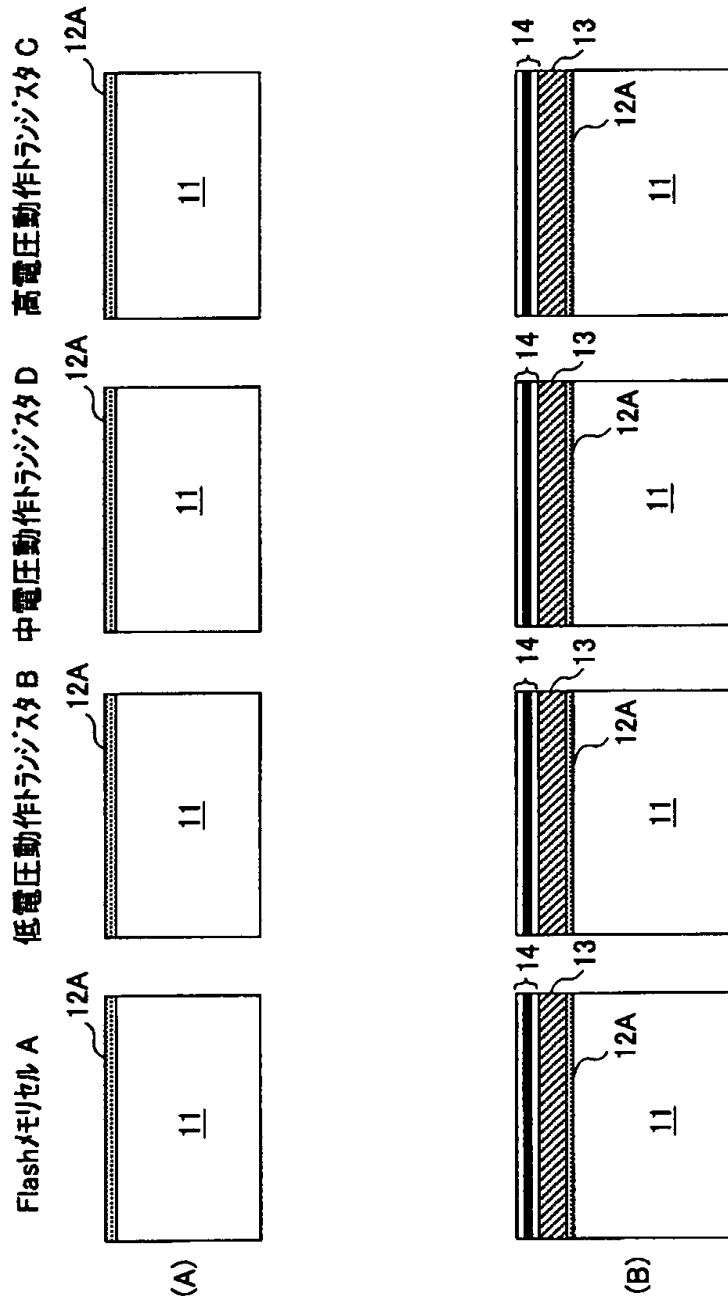
【図63】

(C), (D) は、本発明の第1実施例の一変形例による  
フラッシュメモリを含む半導体集積回路装置の製造工程を  
示す図(その2)



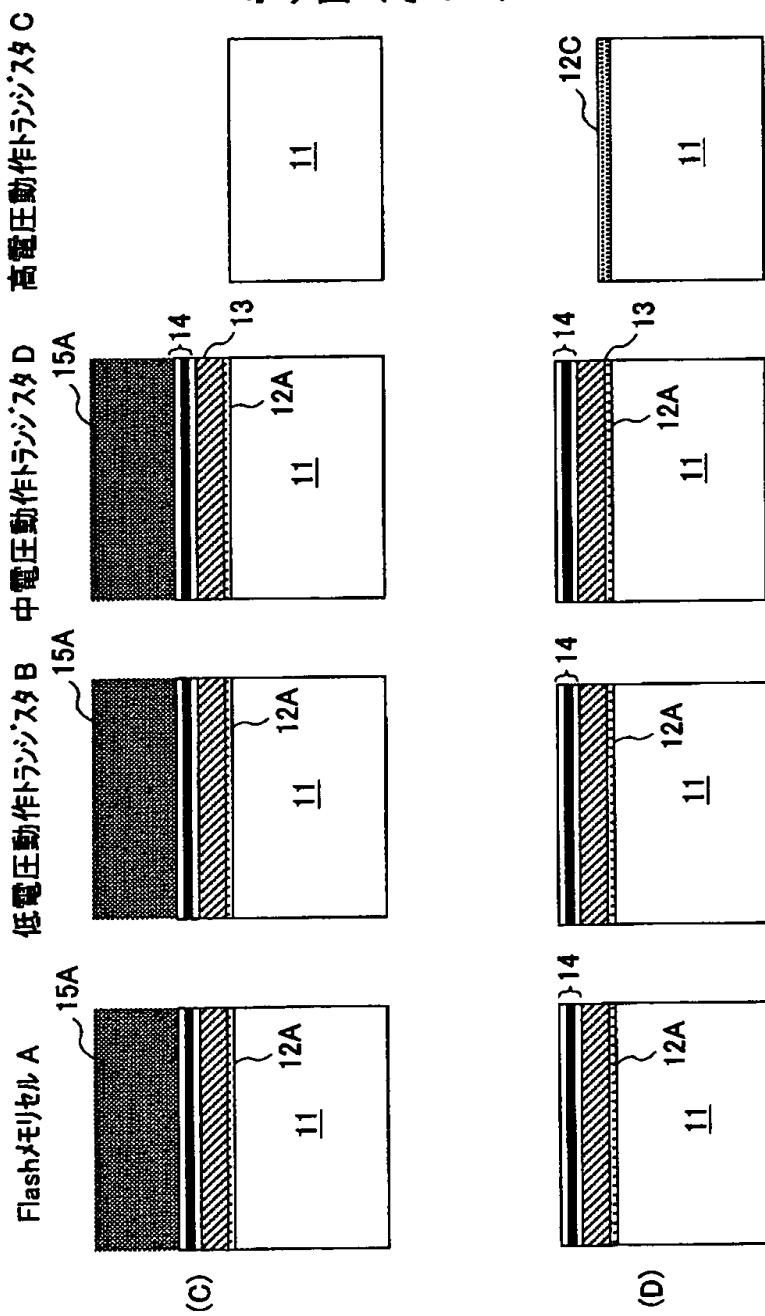
【図64】

(A), (B) は、本発明の第1実施例の別変形例による  
フラッシュメモリを含む半導体集積回路装置の製造工程を  
示す図(その1)



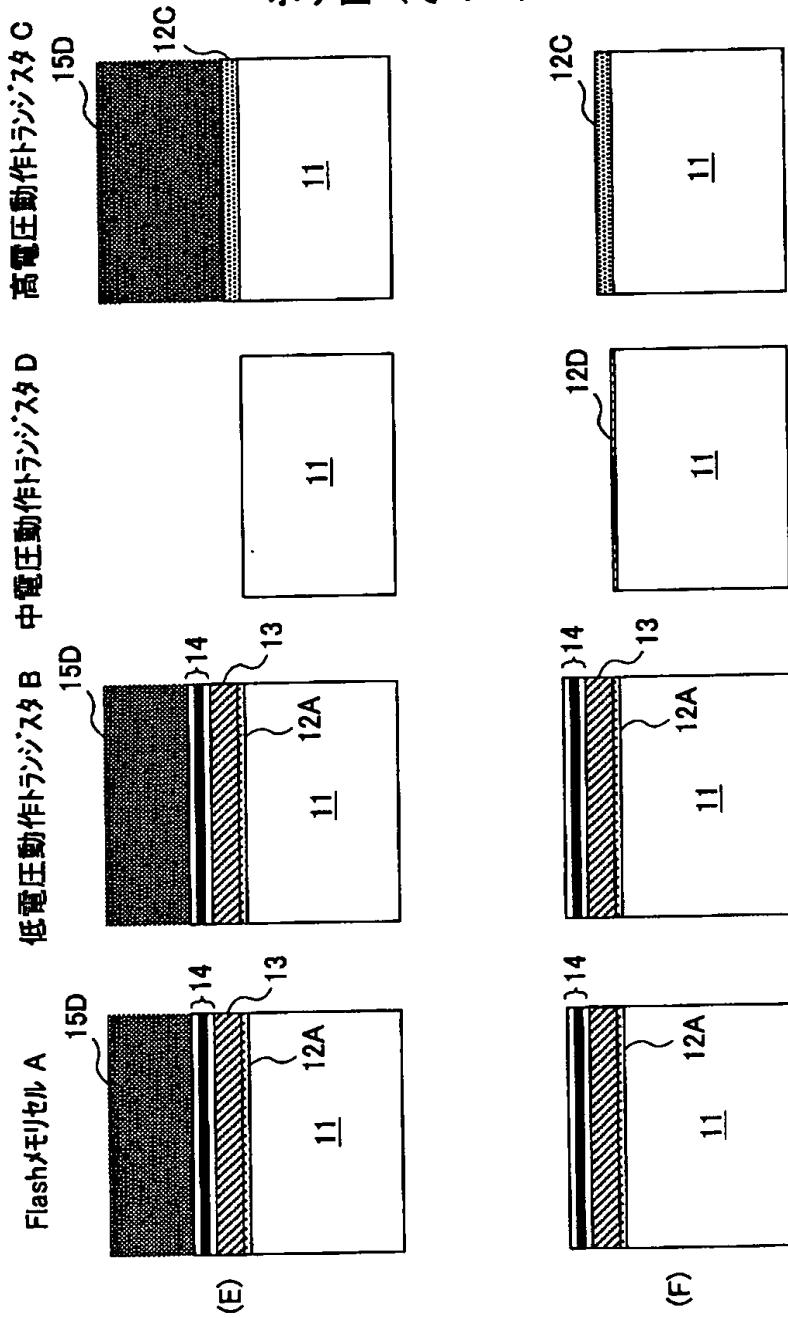
【図65】

(C), (D) は、本発明の第1実施例の別変形例による  
フラッシュメモリを含む半導体集積回路装置の製造工程を  
示す図(その2)



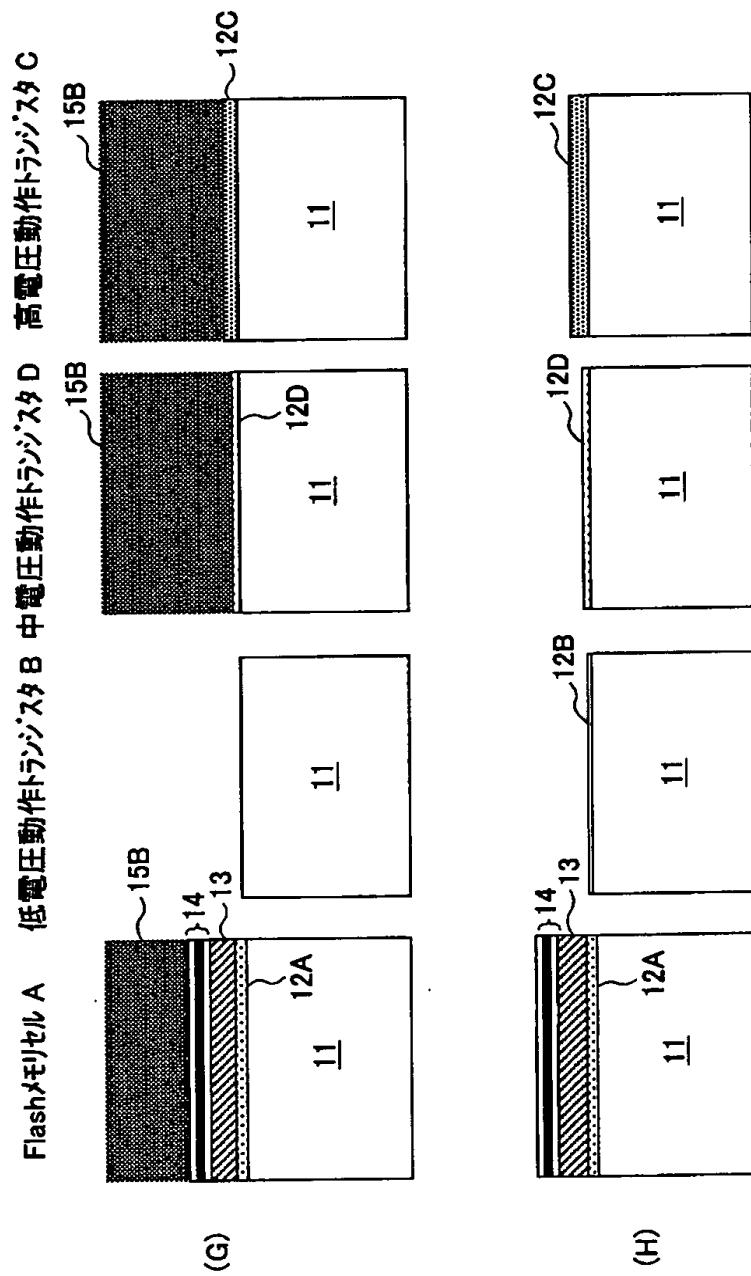
【図66】

(E), (F) は、本発明の第1実施例の別変形例による  
フラッシュメモリを含む半導体集積回路装置の製造工程を  
示す図(その3)



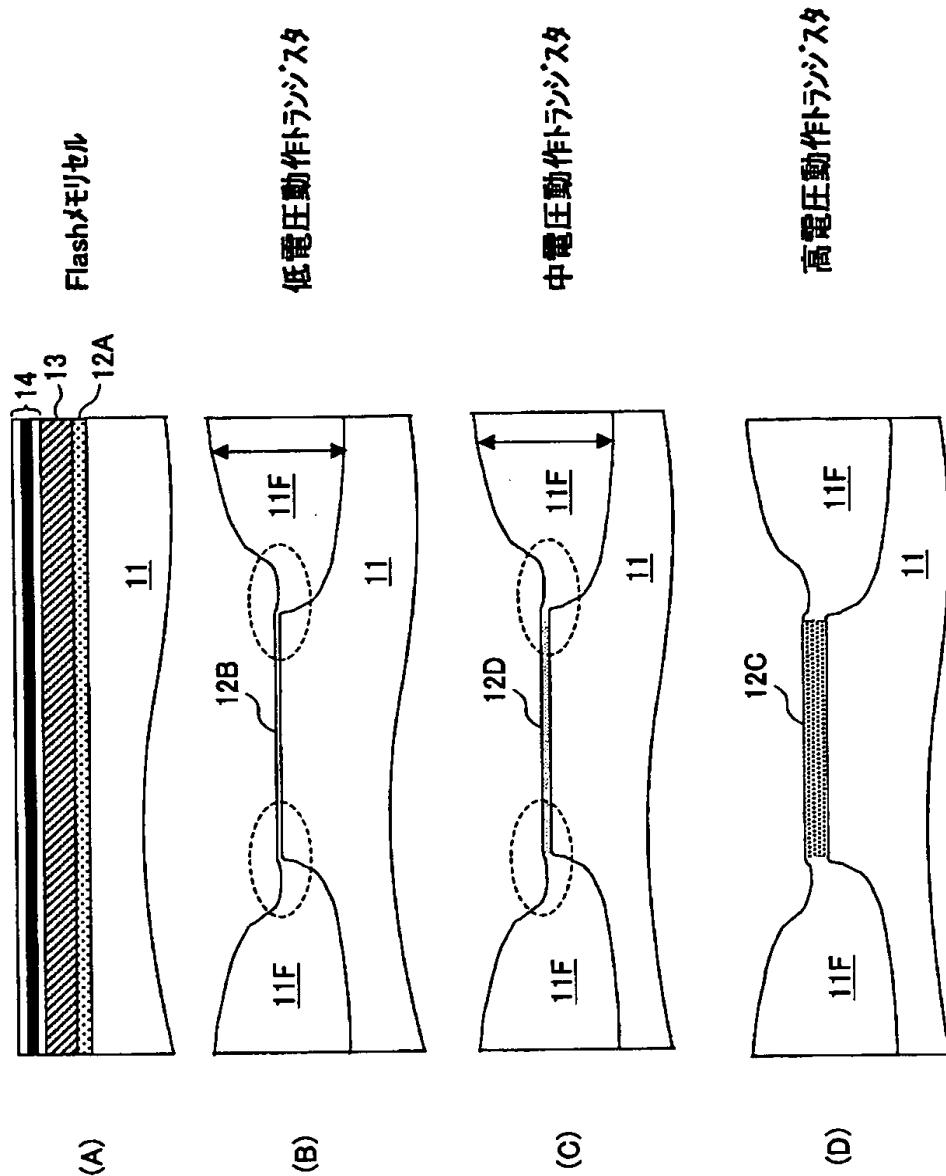
【図67】

(G), (H) は、本発明の第1実施例の別変形例による  
フラッシュメモリを含む半導体集積回路装置の製造工程を  
示す図(その4)



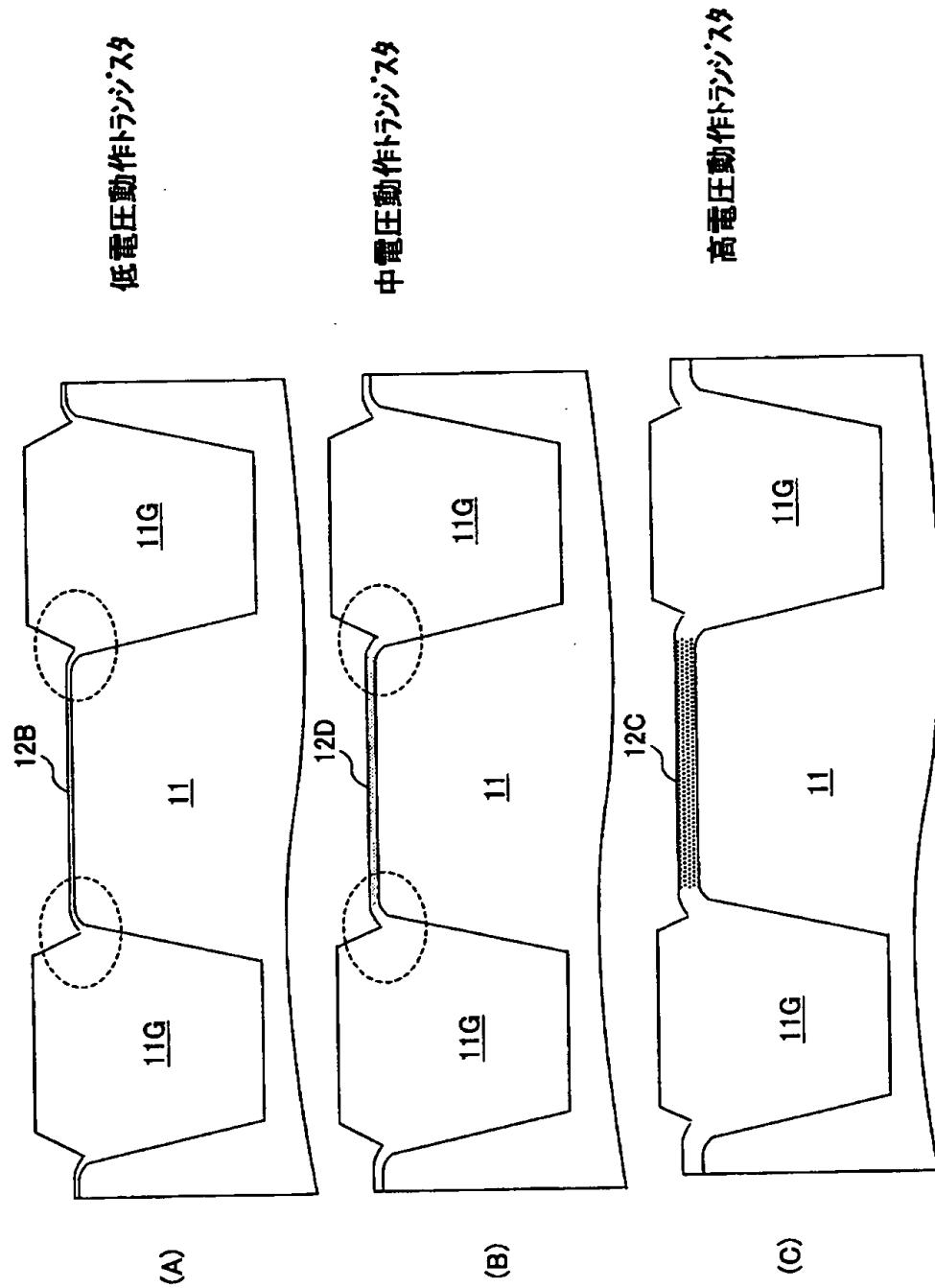
【図68】

(A) ~ (D) は本実施例の効果を説明する図



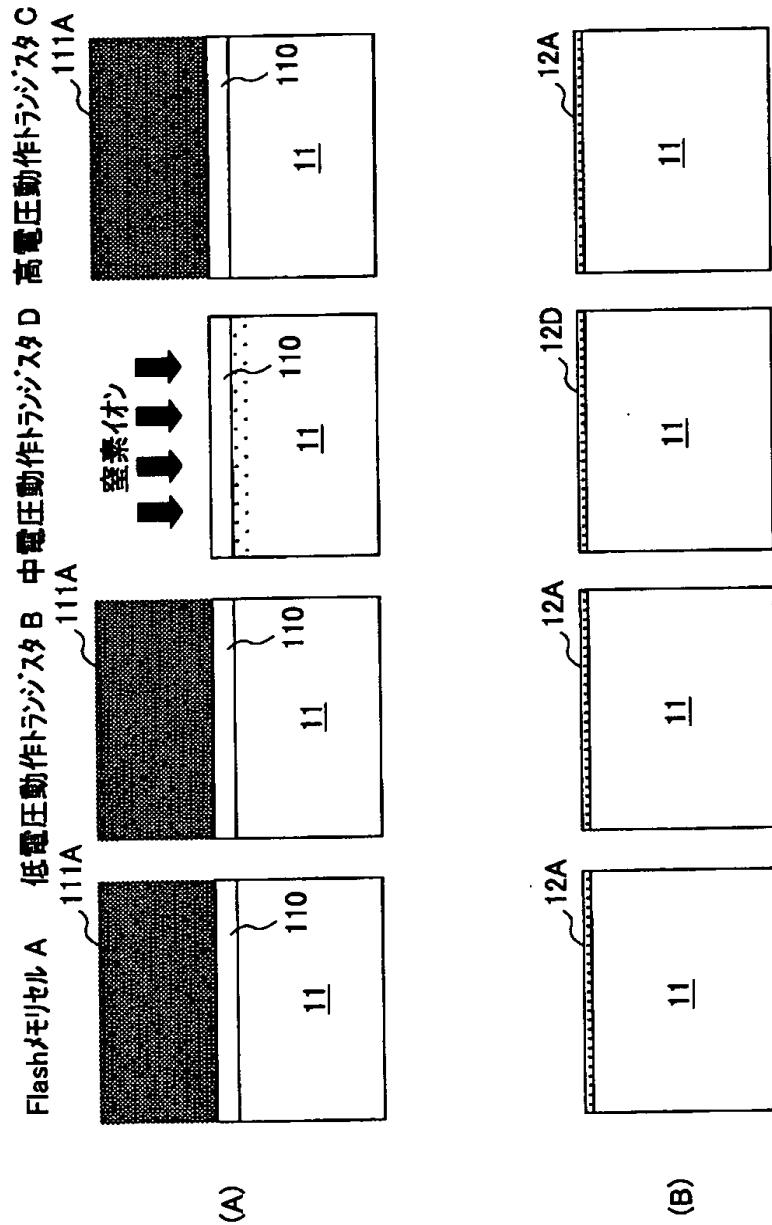
【図69】

(A) ~ (C) は本実施例の効果を説明する別の図



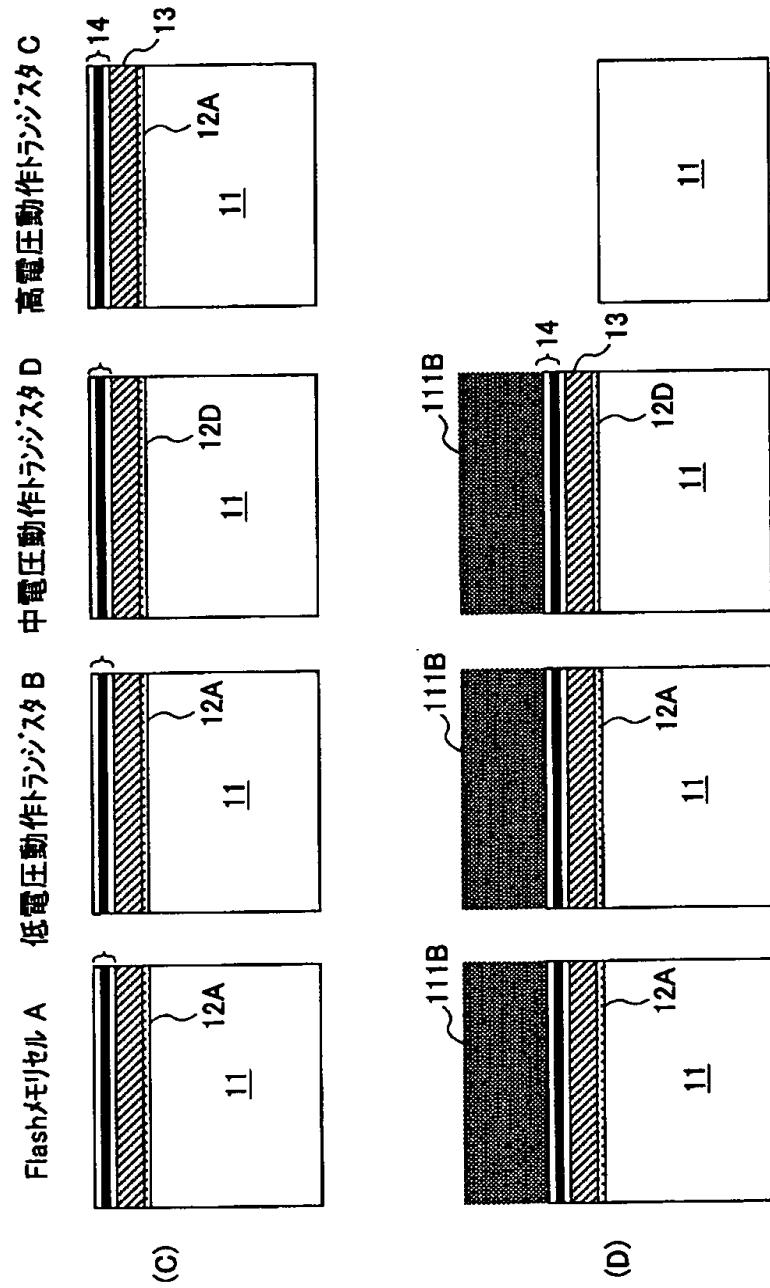
【図70】

(A), (B) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その1)



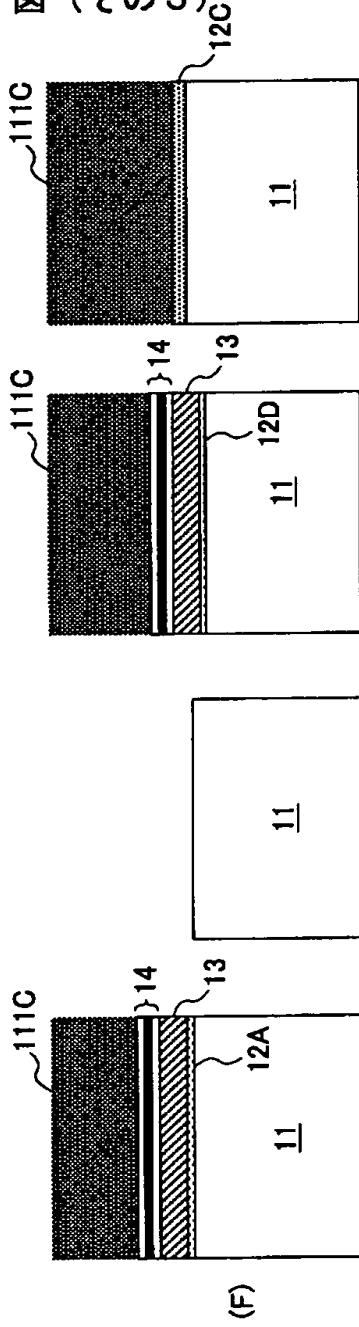
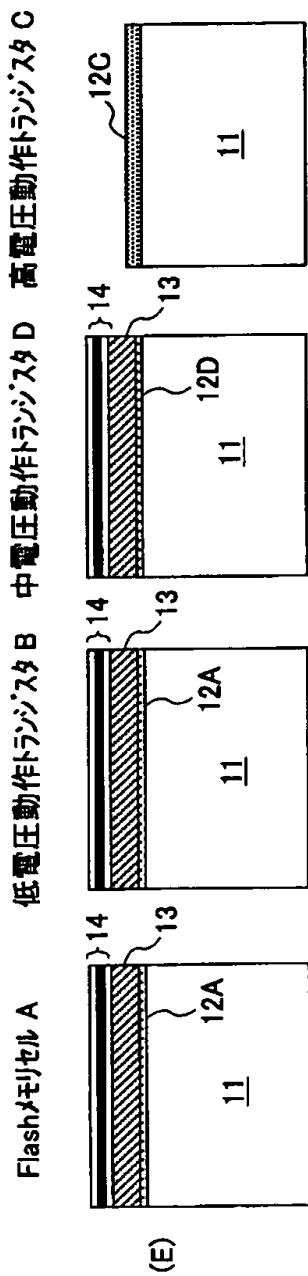
【図71】

(C), (D) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その2)



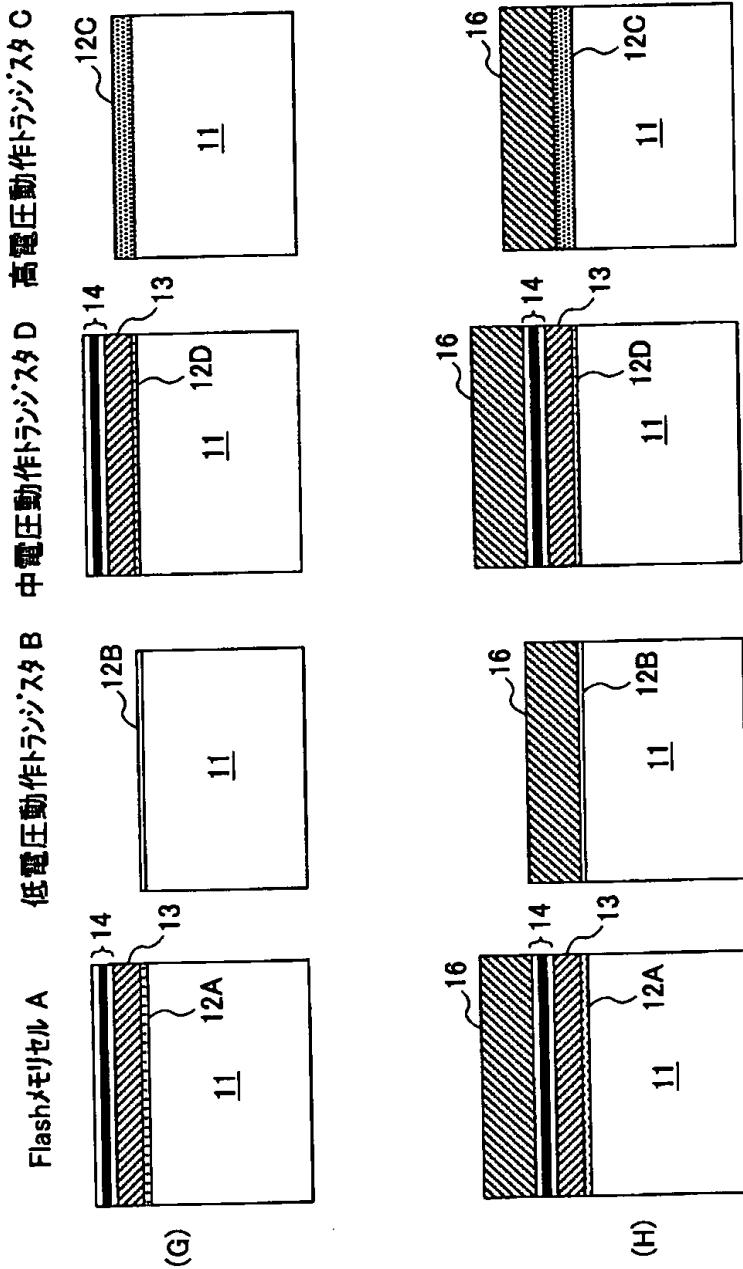
【図72】

(E), (F) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その3)



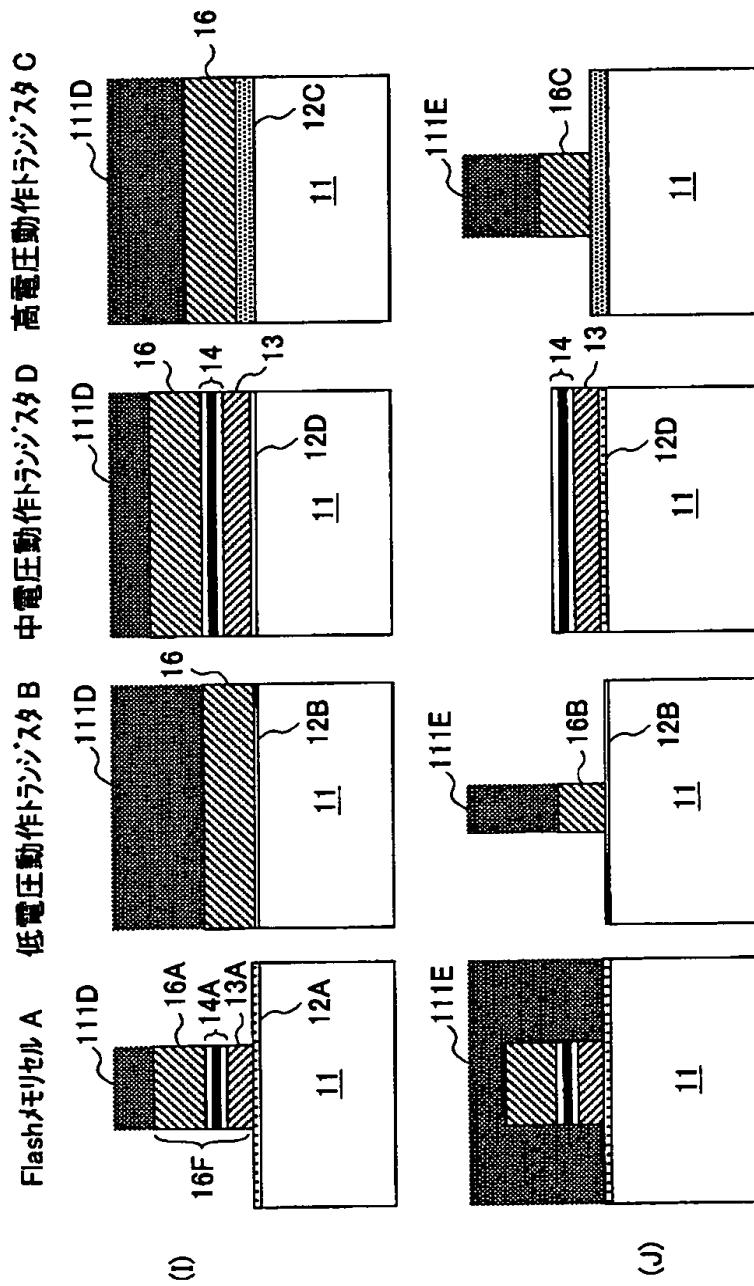
【図73】

(G), (H) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その4)



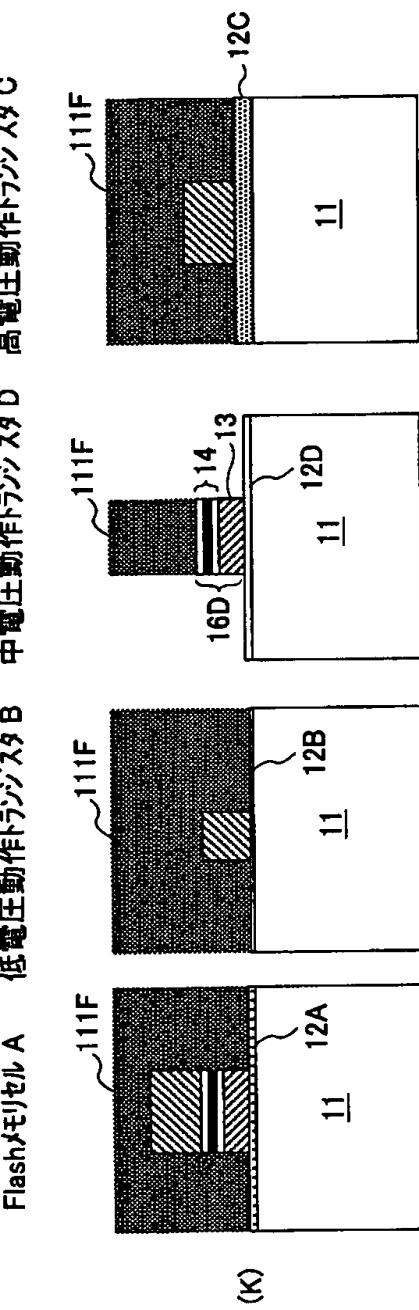
【図74】

(I), (J) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その5)



【図75】

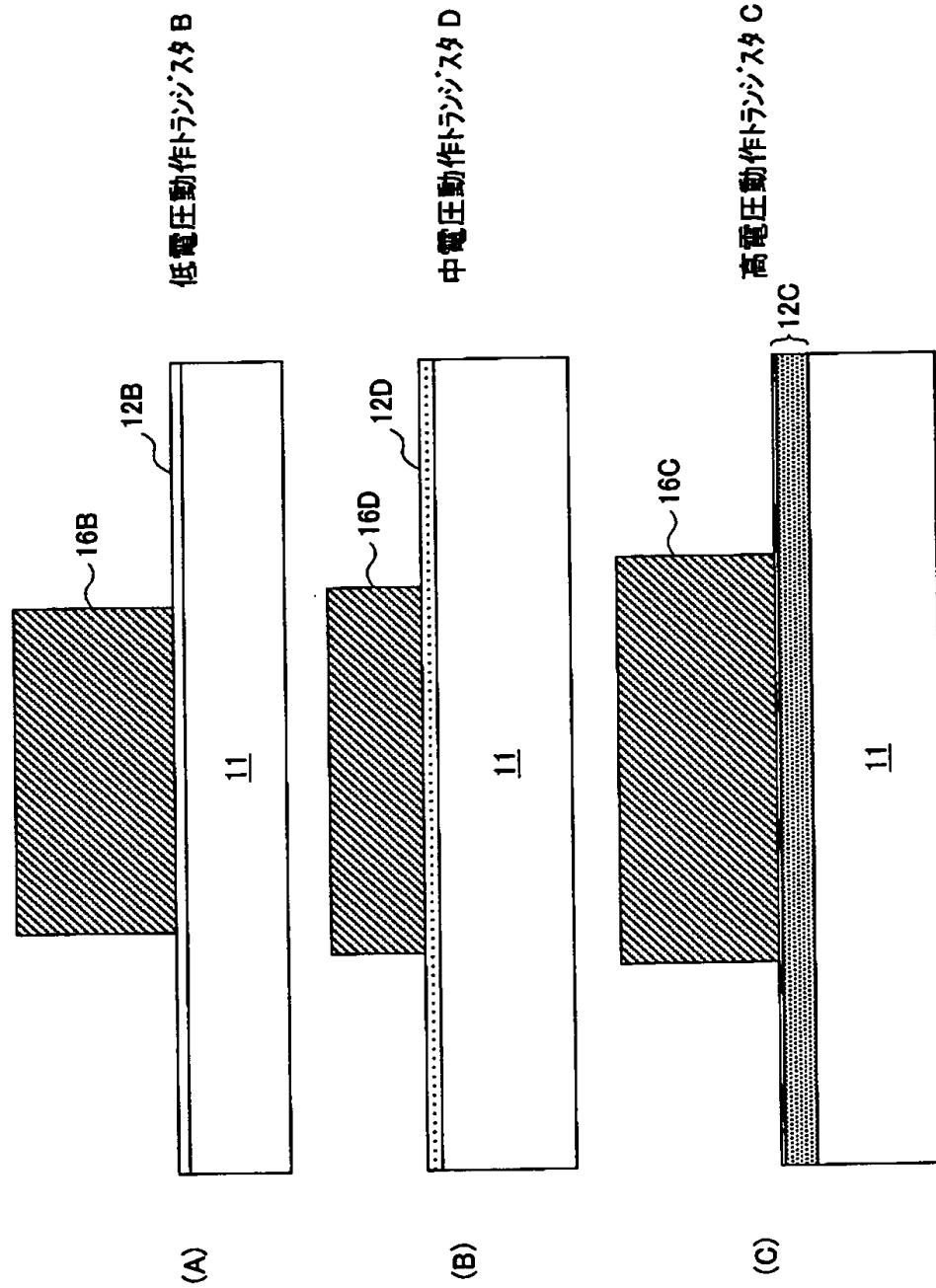
(K) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



(K)

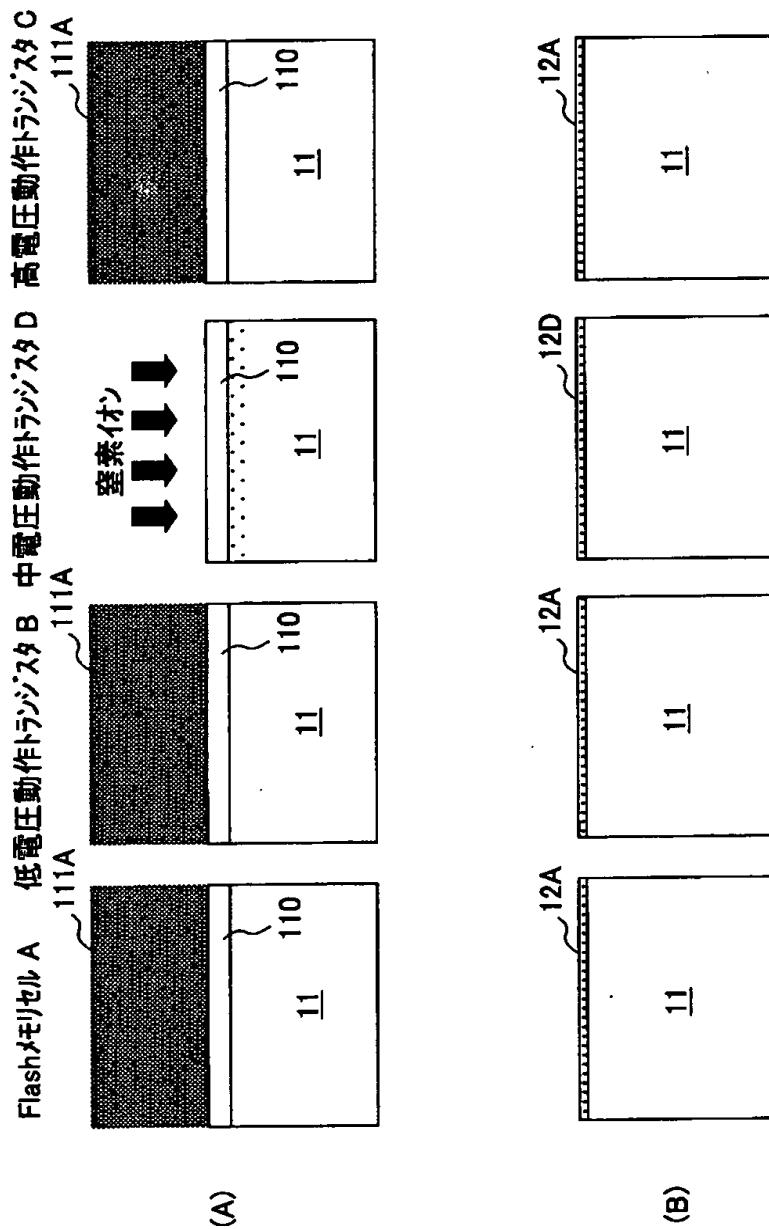
【図76】

(A)～(C)は、本発明の第2実施例による  
半導体集積回路装置の一部を示す図



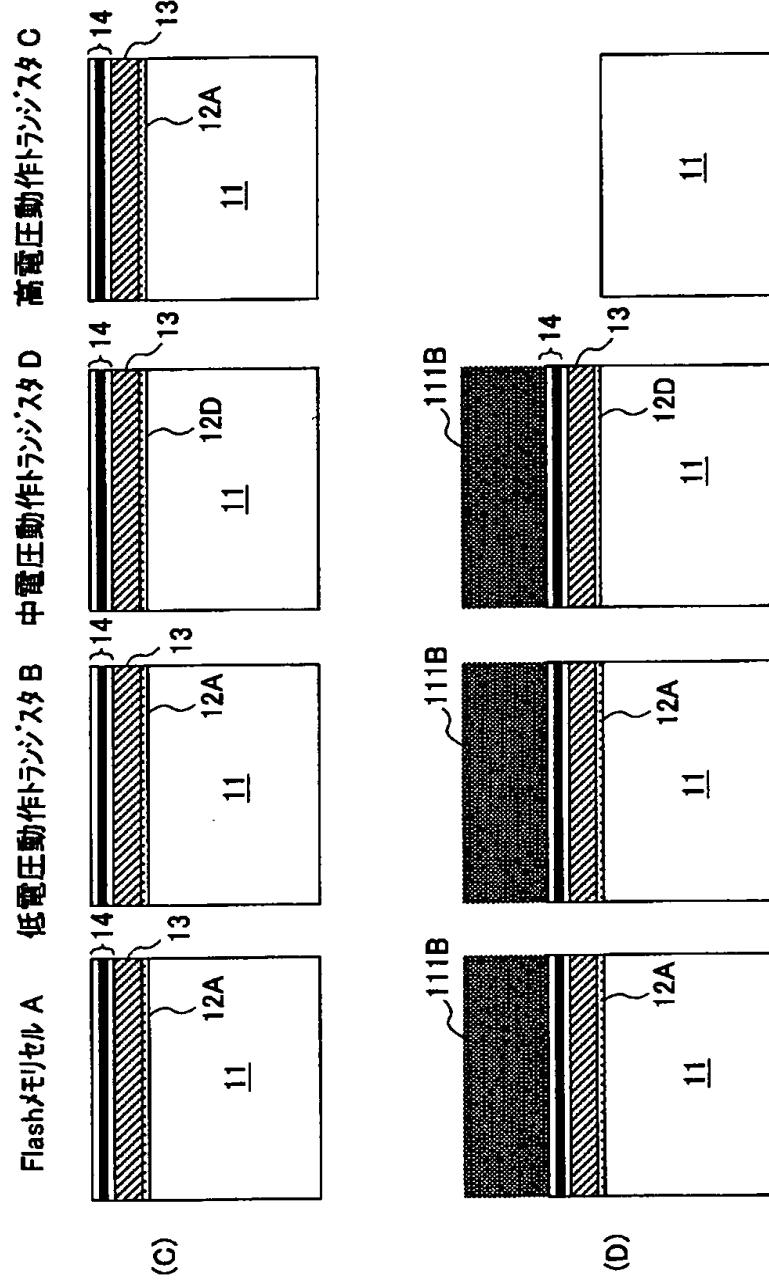
【図77】

(A)、(B)は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その1)



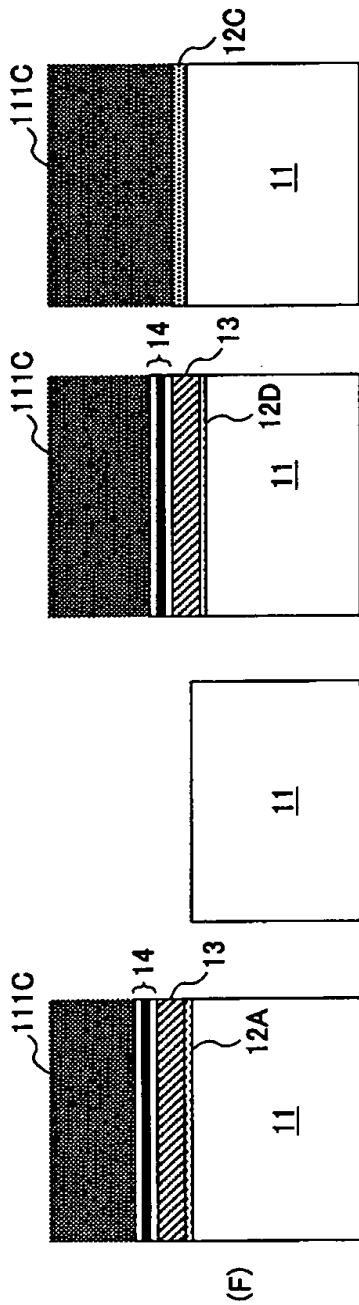
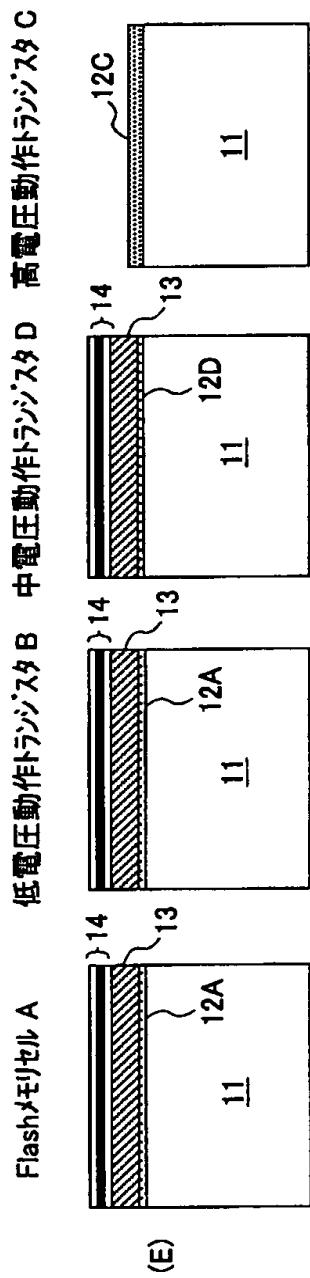
【図78】

(C), (D) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その2)



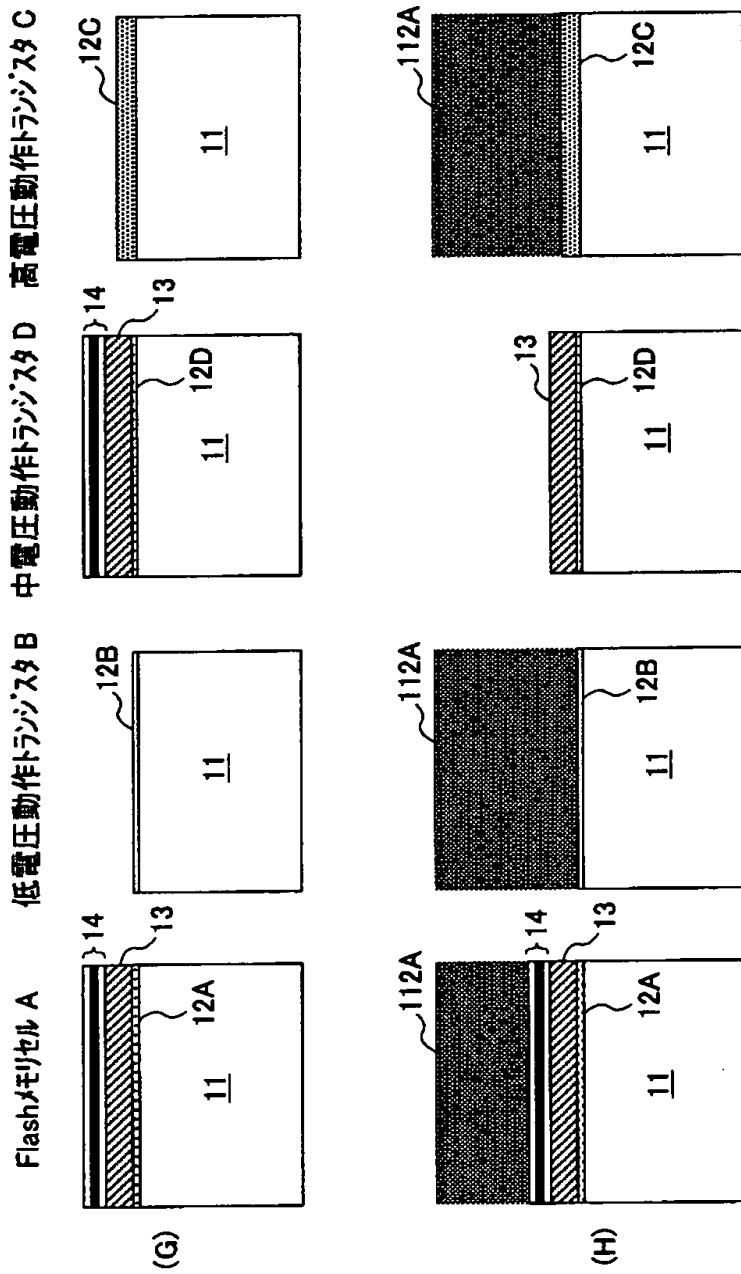
【図79】

(E), (F) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その3)



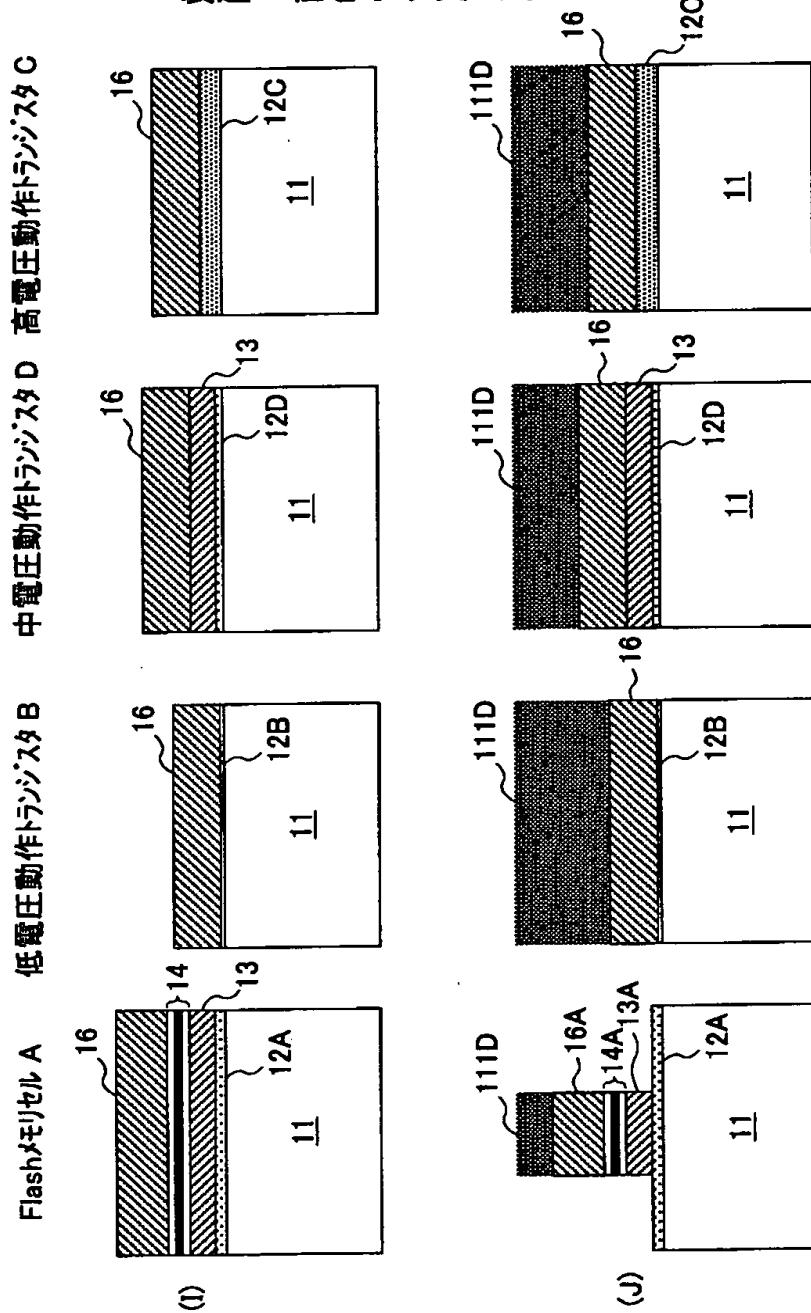
【図80】

(G), (H) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その4)



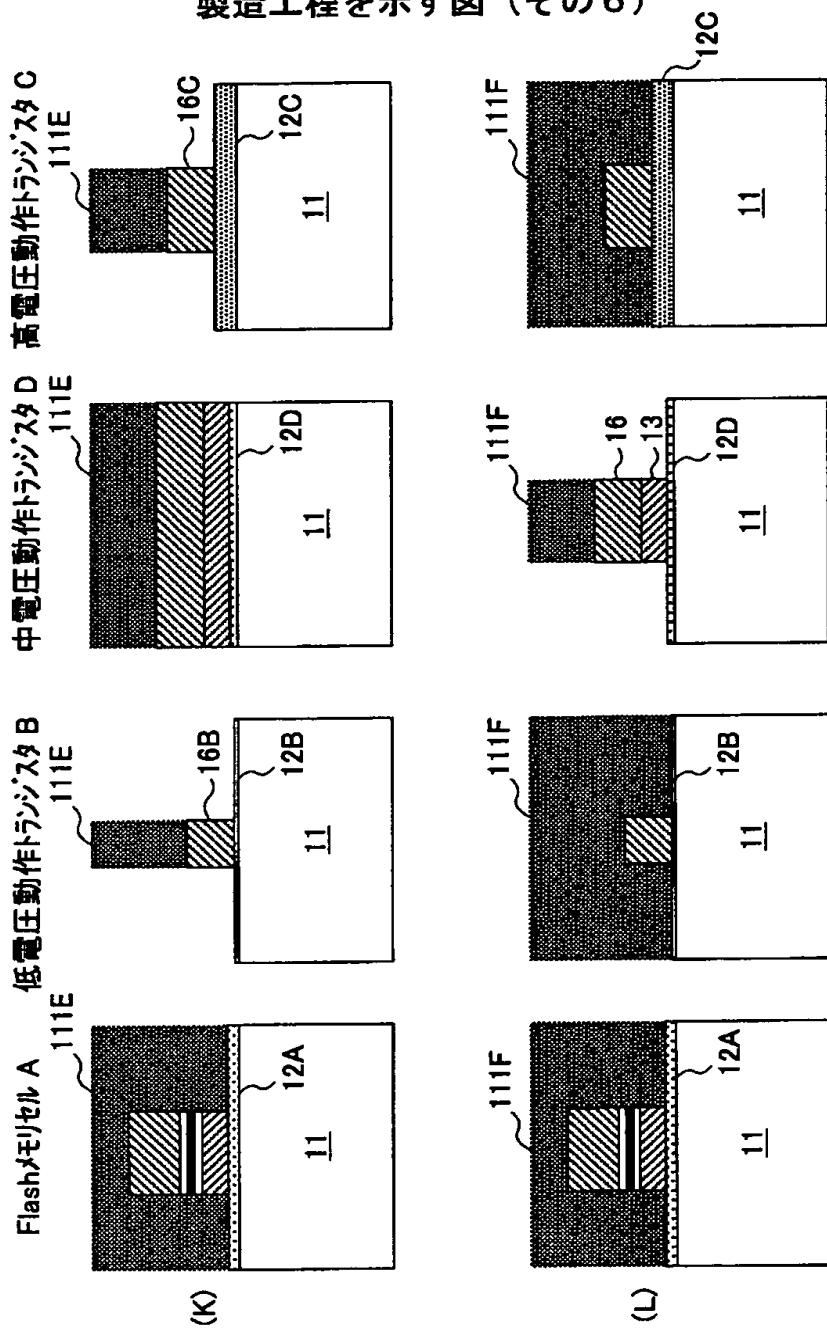
【図81】

(I), (J) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その5)



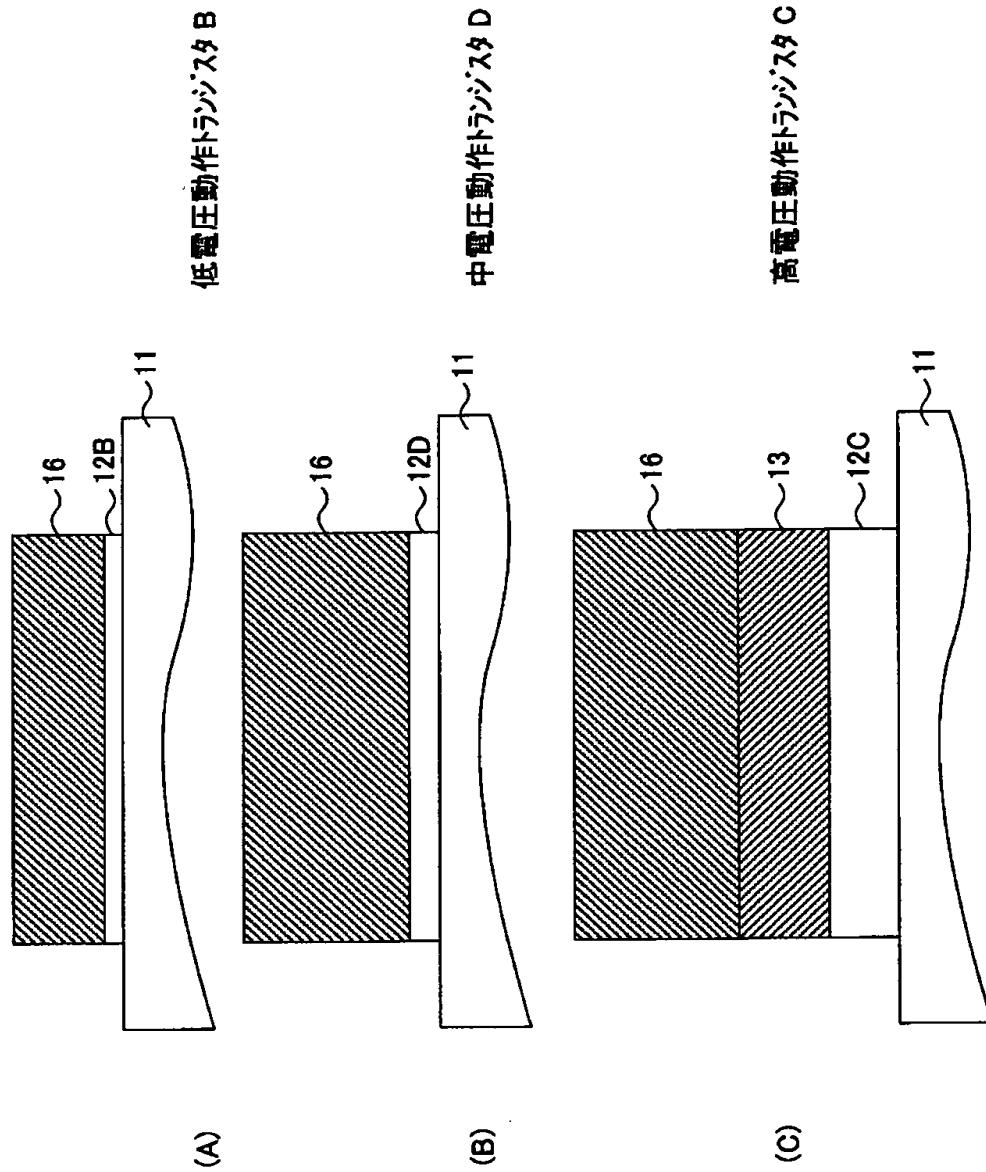
【図82】

(K)、(L)は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その6)



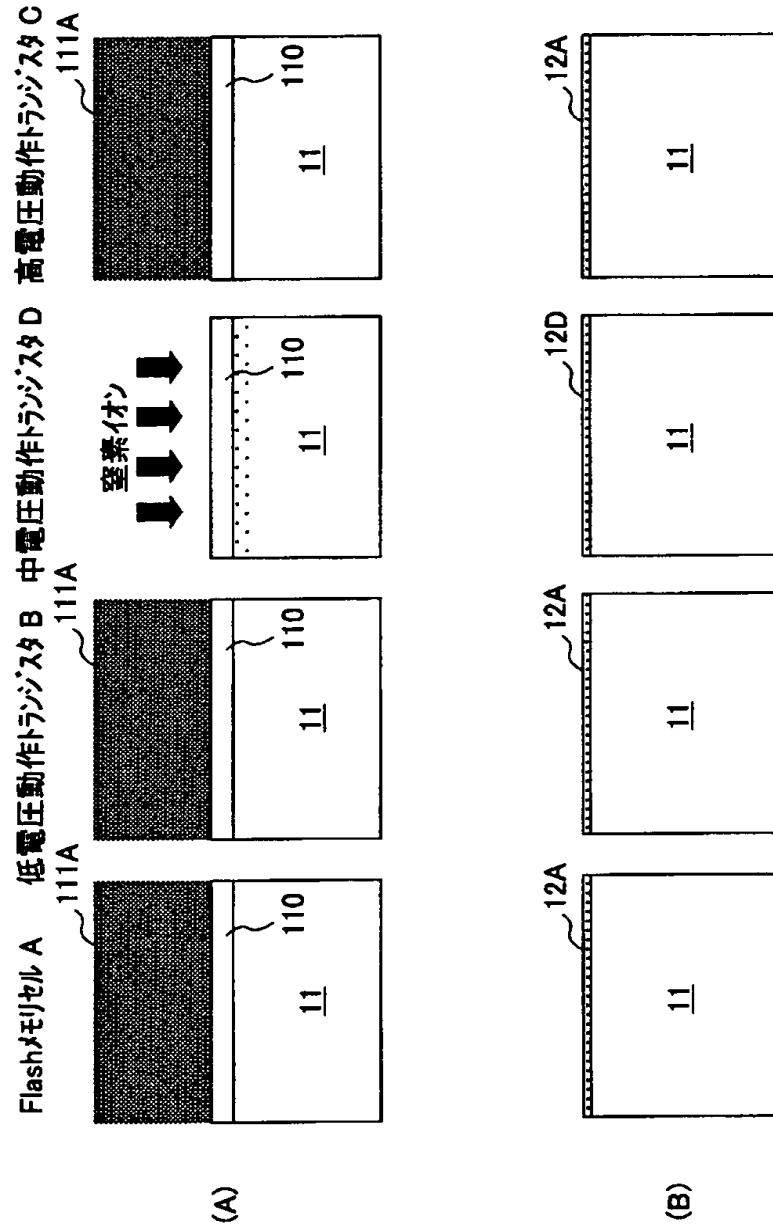
【図83】

(A)～(C)は、本発明の第3実施例による半導体集積回路装置の一部を示す図



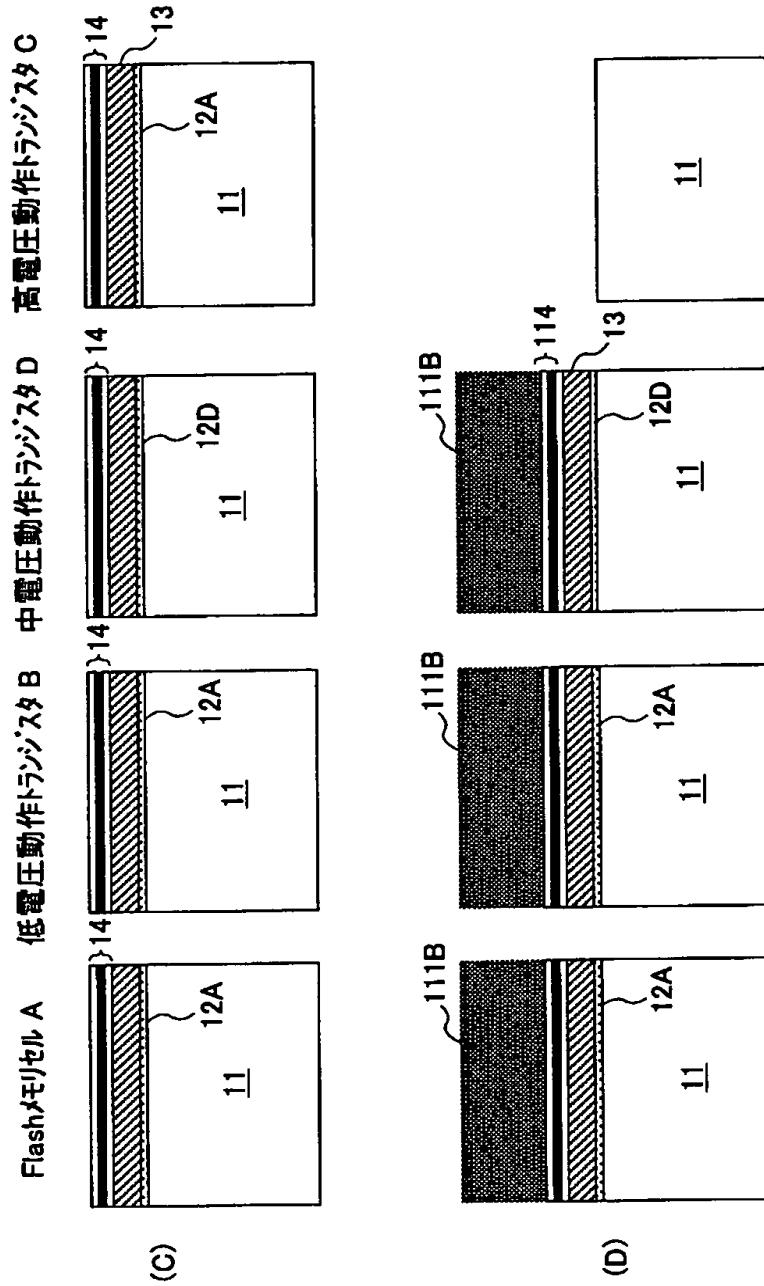
【図84】

(A), (B) は、本発明の第4実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その1)



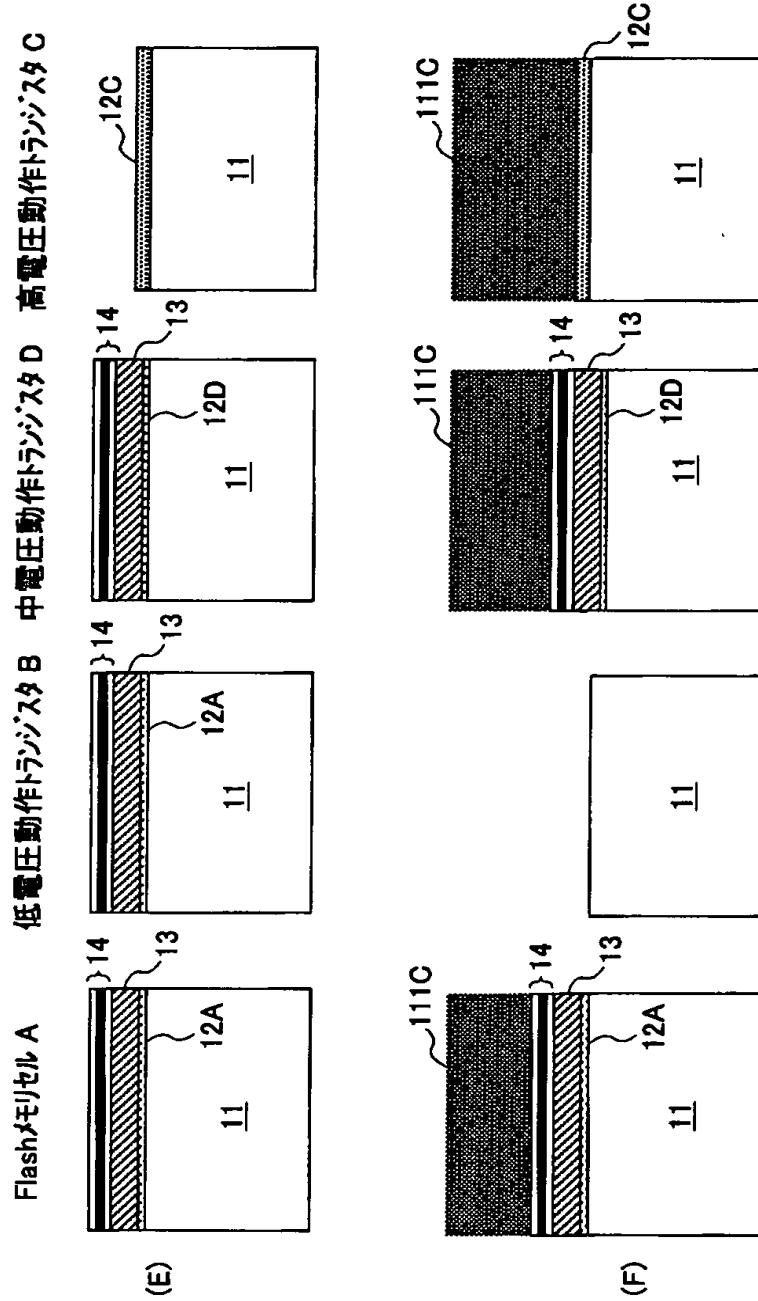
【図85】

(C)、(D)は、本発明の第4実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その2)



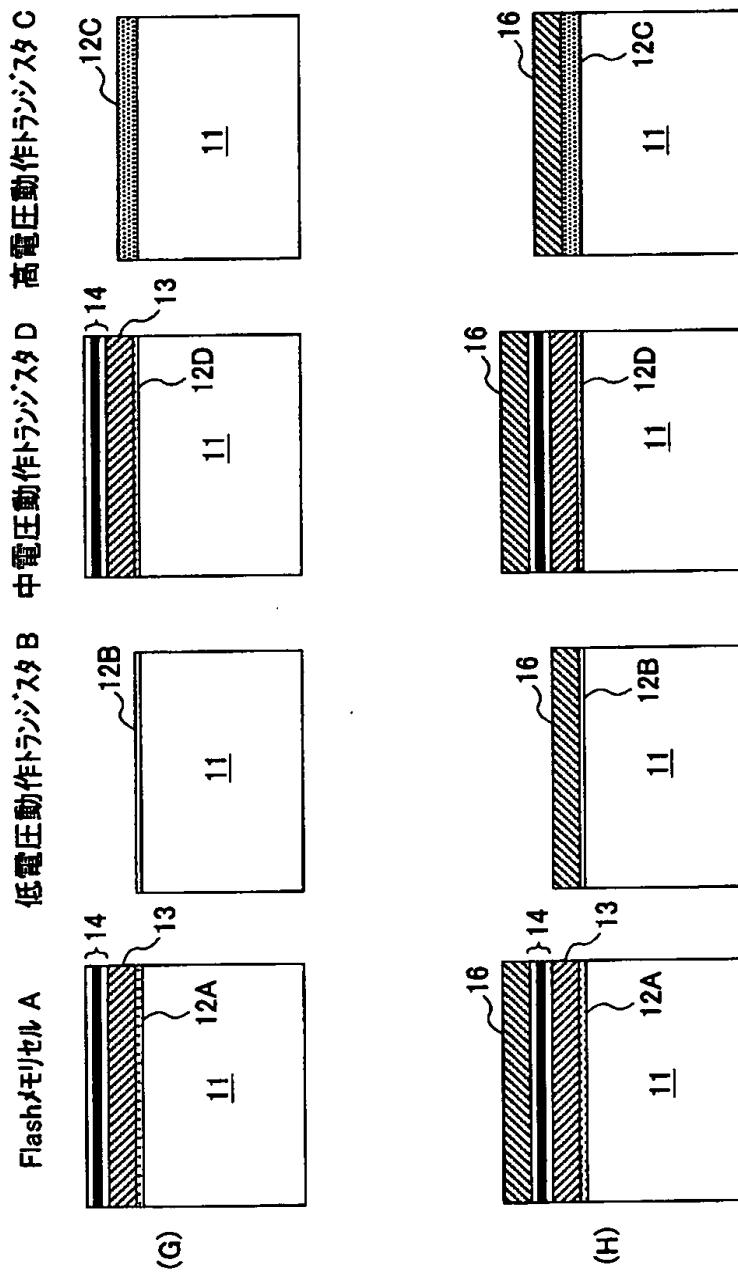
【図86】

(E), (F) は、本発明の第4実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その3)



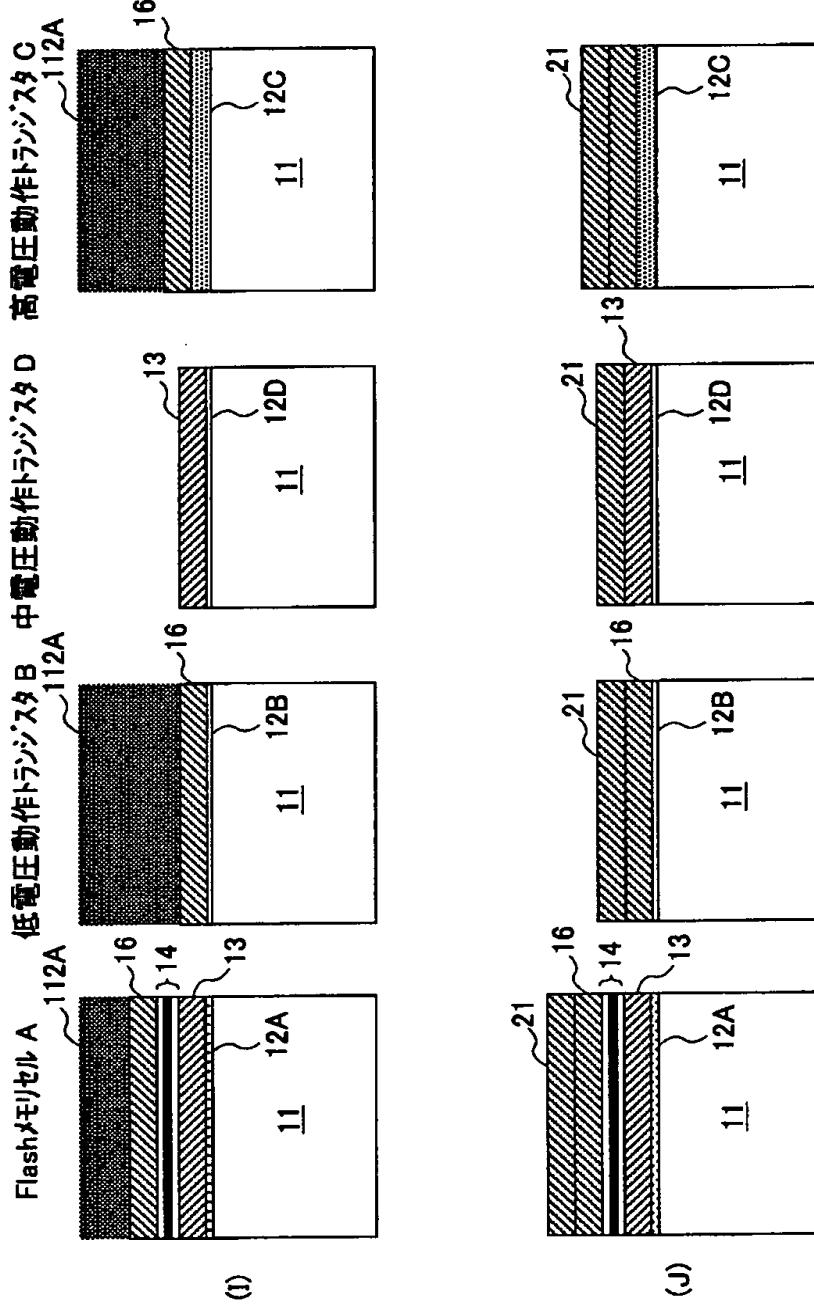
【図87】

(G), (H) は、本発明の第4実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その4)



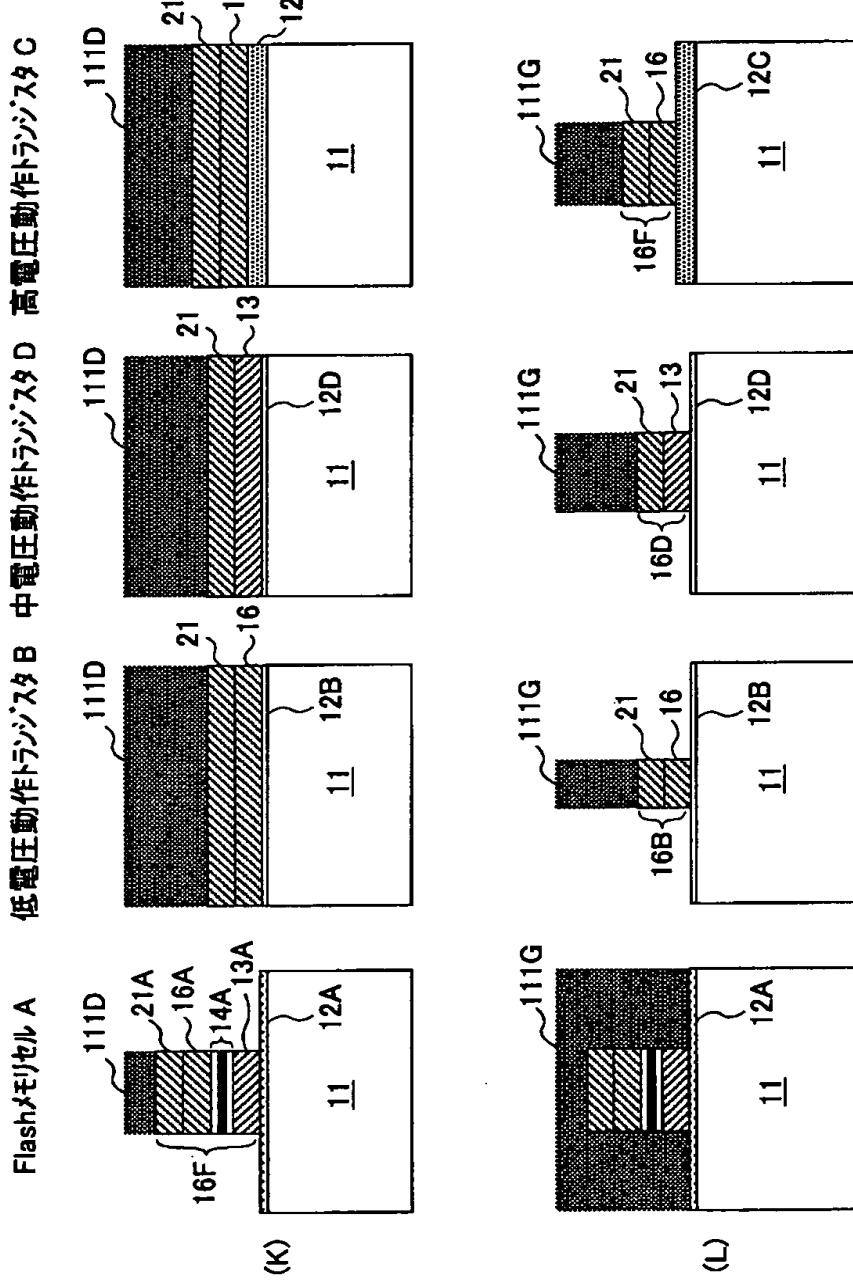
【図88】

(I), (J) は、本発明の第4実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その5)



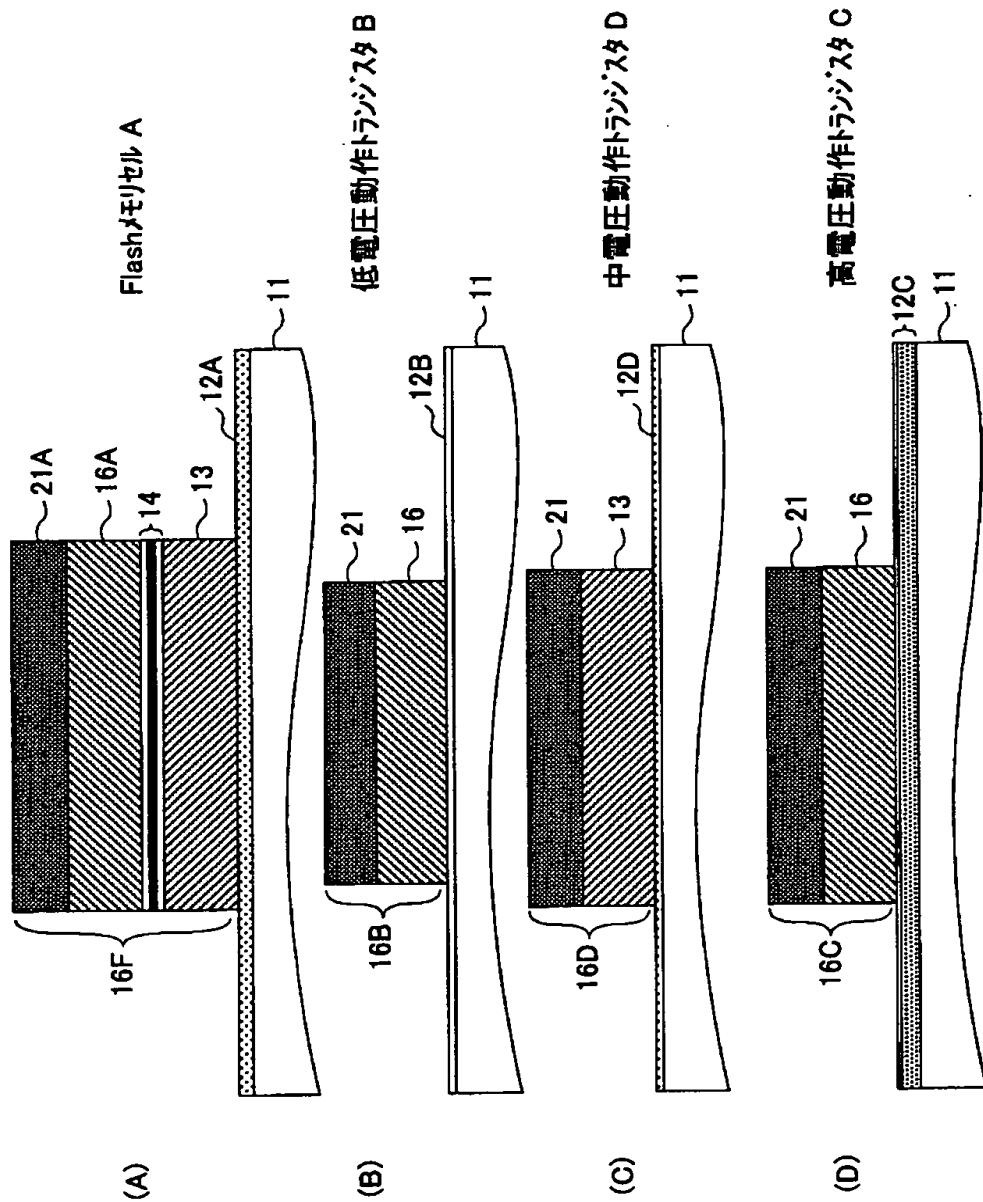
【図89】

(K), (L) は、本発明の第4実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図(その6)



【図90】

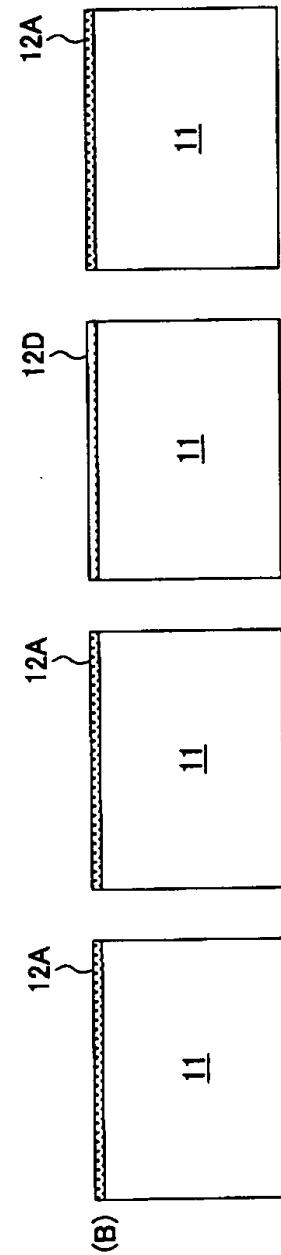
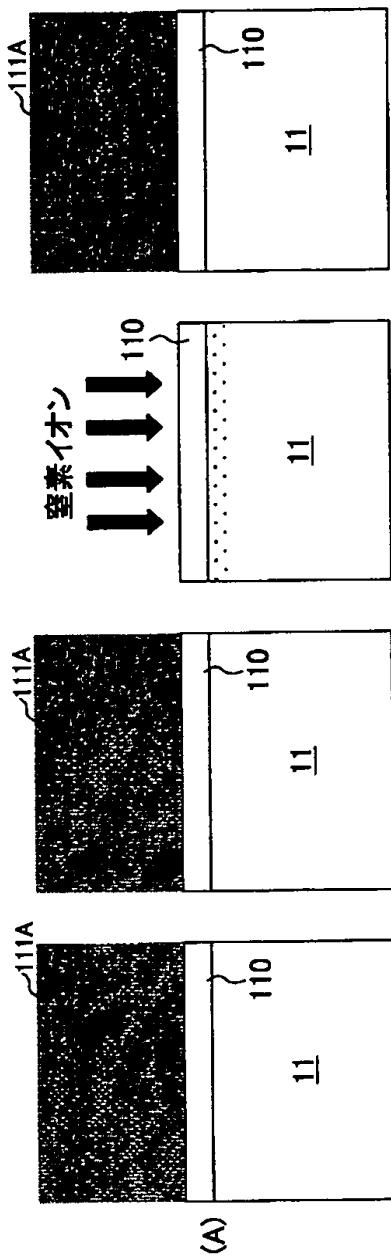
(A) ~ (D) は、本発明の第4実施例による  
半導体集積回路装置の一部を示す図



【図91】

(A), (B)は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)

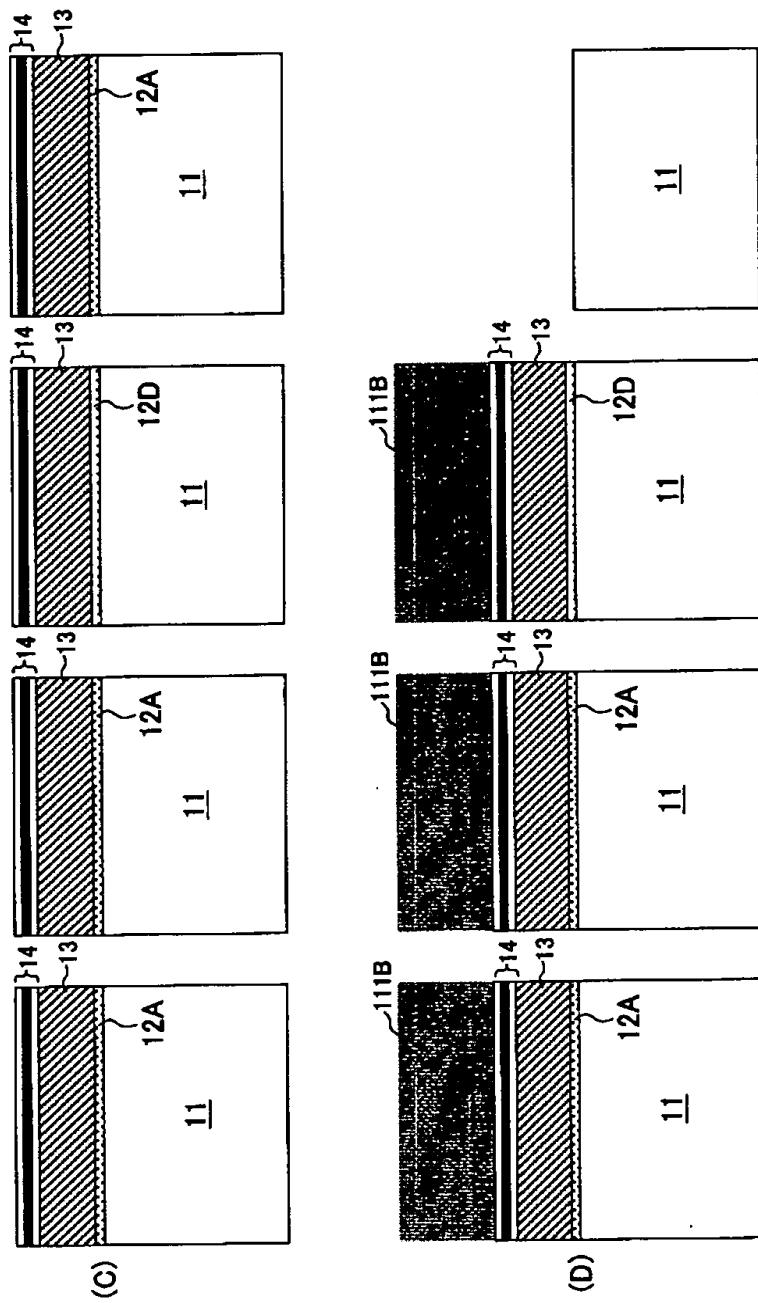
Flashメモリセル A 中電圧動作トランジスタ B 低電圧動作トランジスタ C 高電圧動作トランジスタ D



【図92】

(C), (D)は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)

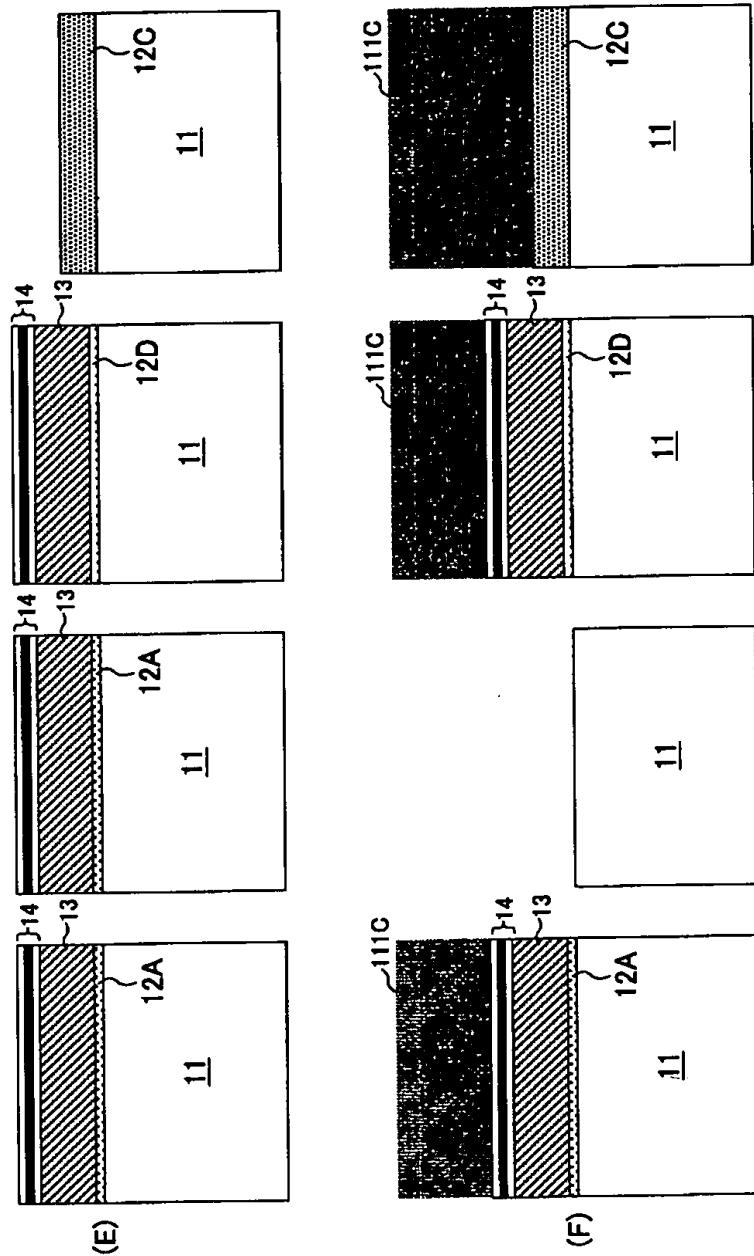
Flashメモリセル A 中電圧動作トランジスタ B 高電圧動作トランジスタ C



【図93】

(E), (F)は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)

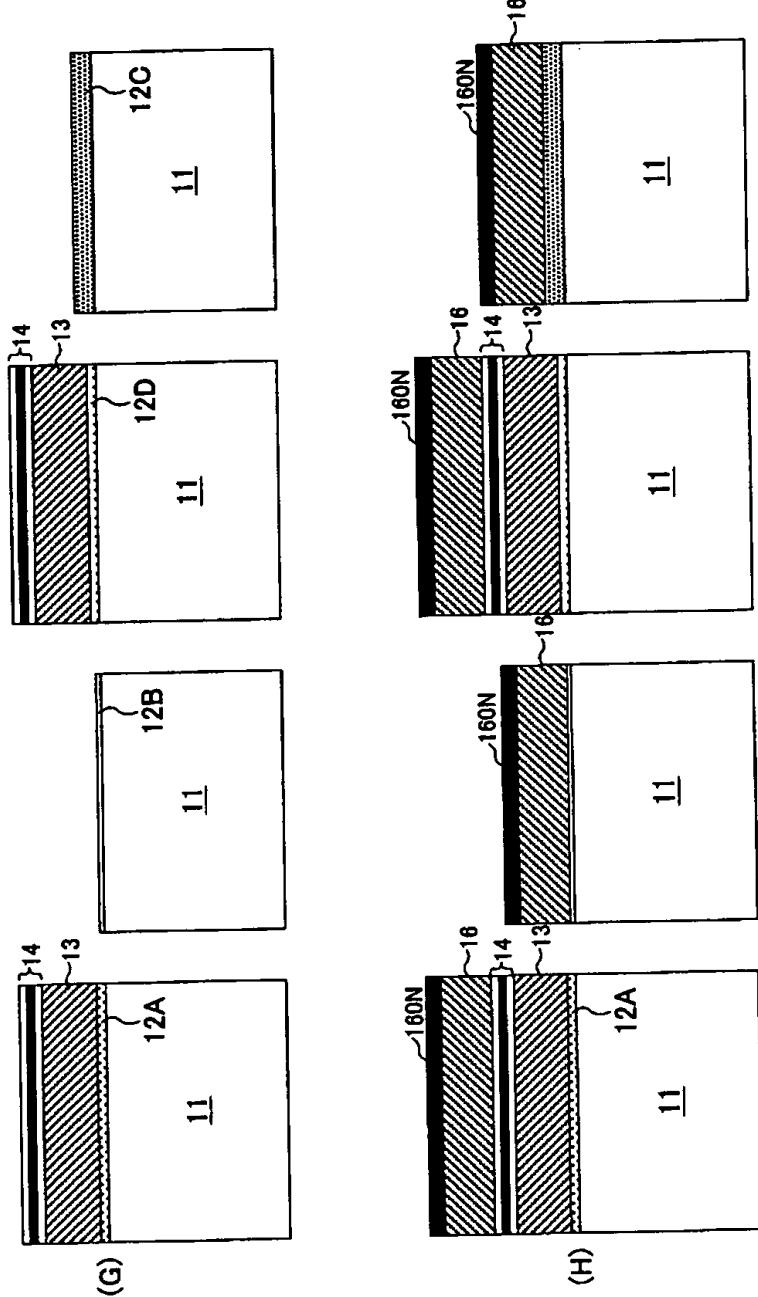
Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



【図94】

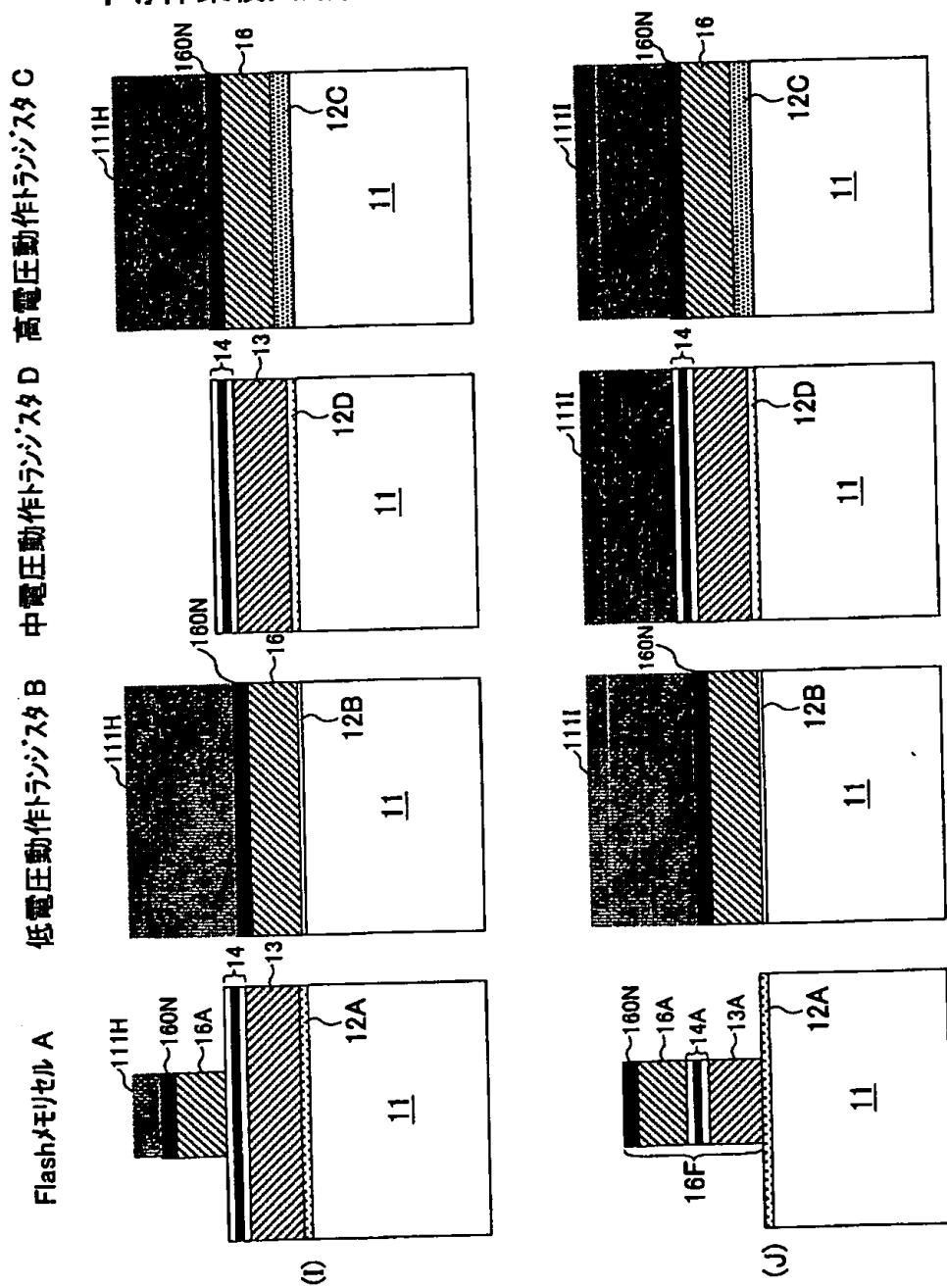
(G), (H)は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)

Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



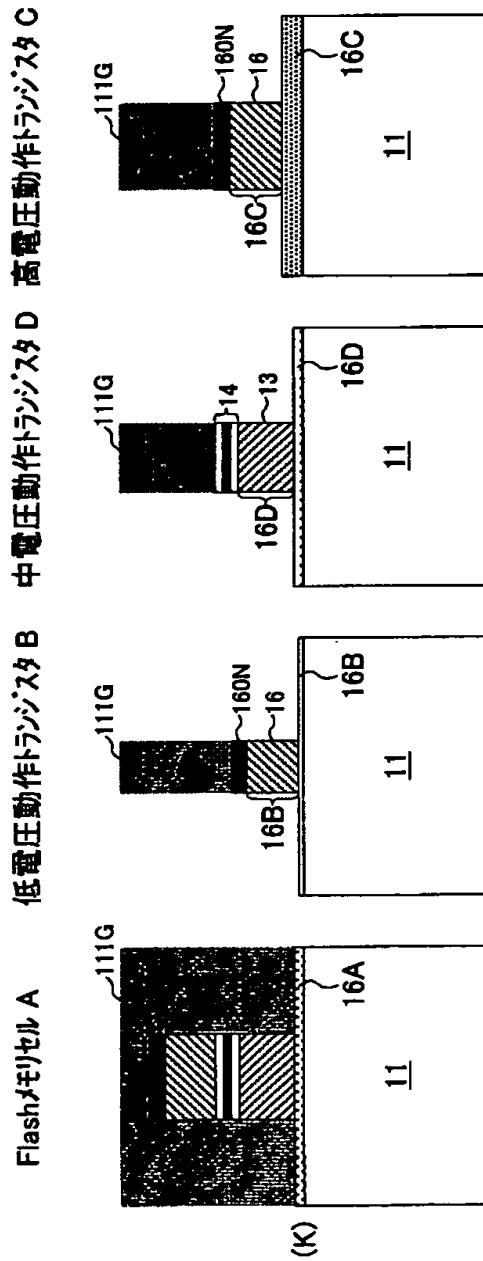
【図95】

(I), (J)は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



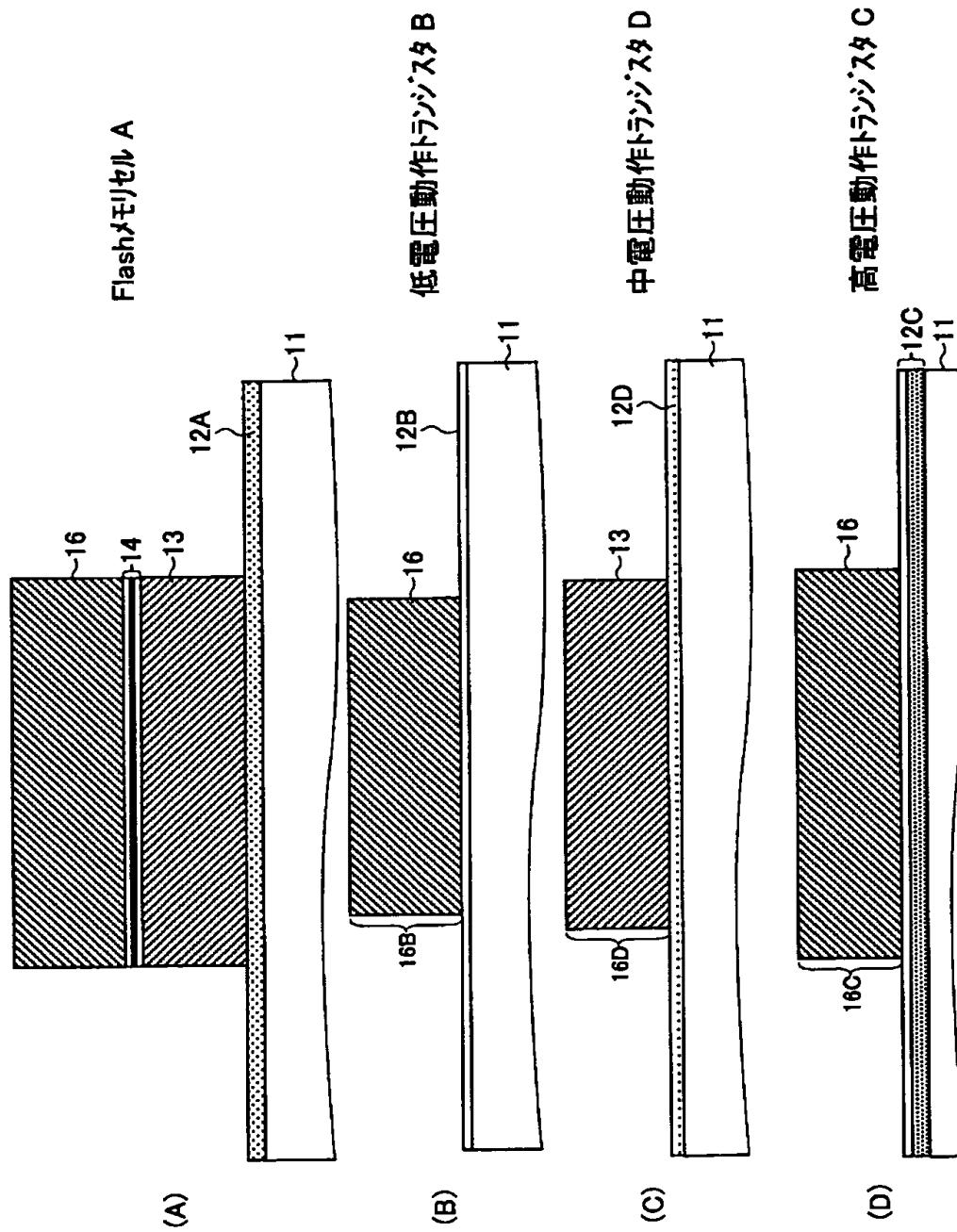
【図96】

(K)は、本発明の第5実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



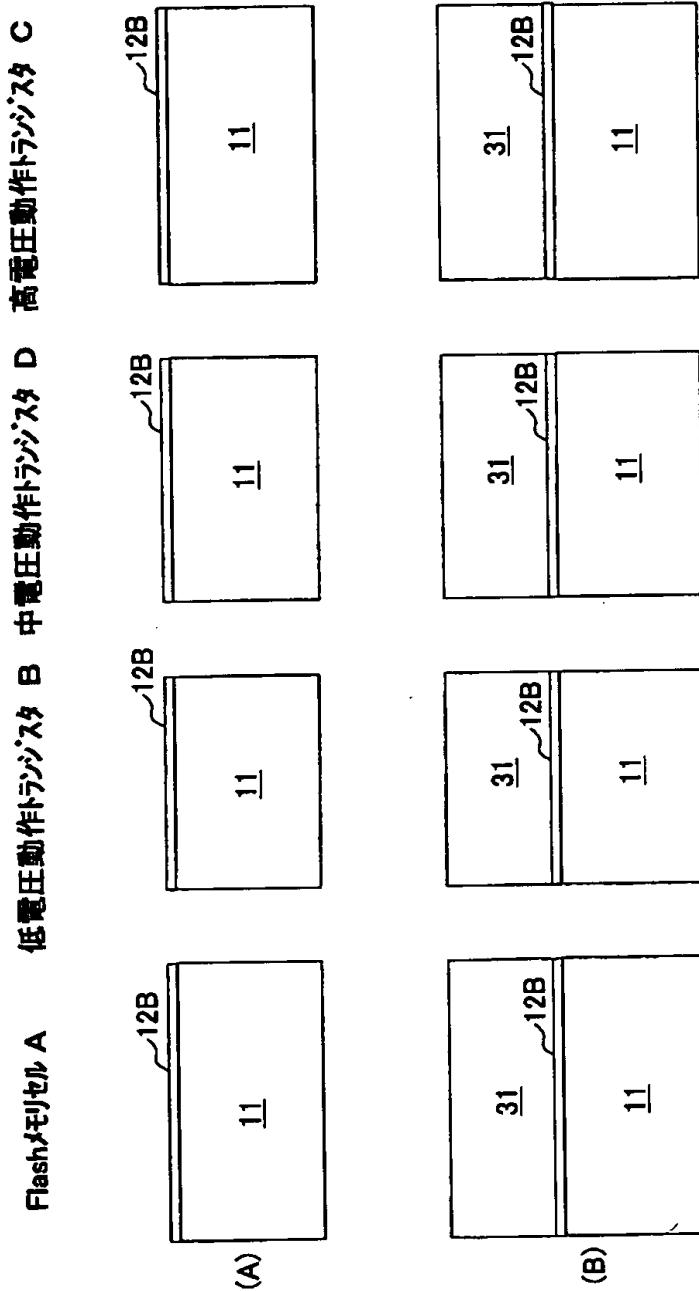
【図97】

(A)～(D)は、本発明の第5実施例による  
半導体集積回路装置の一部を示す図



【図98】

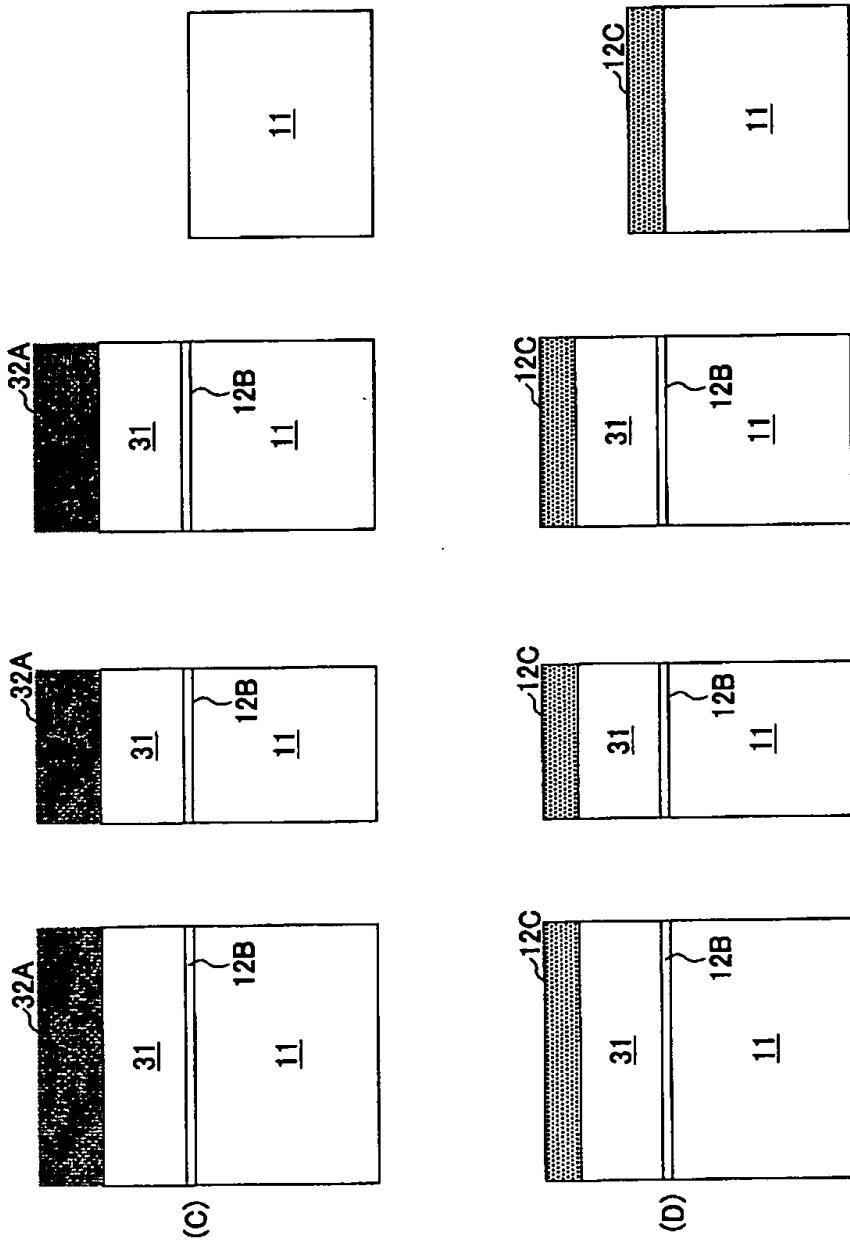
(A), (B)は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)



【図99】

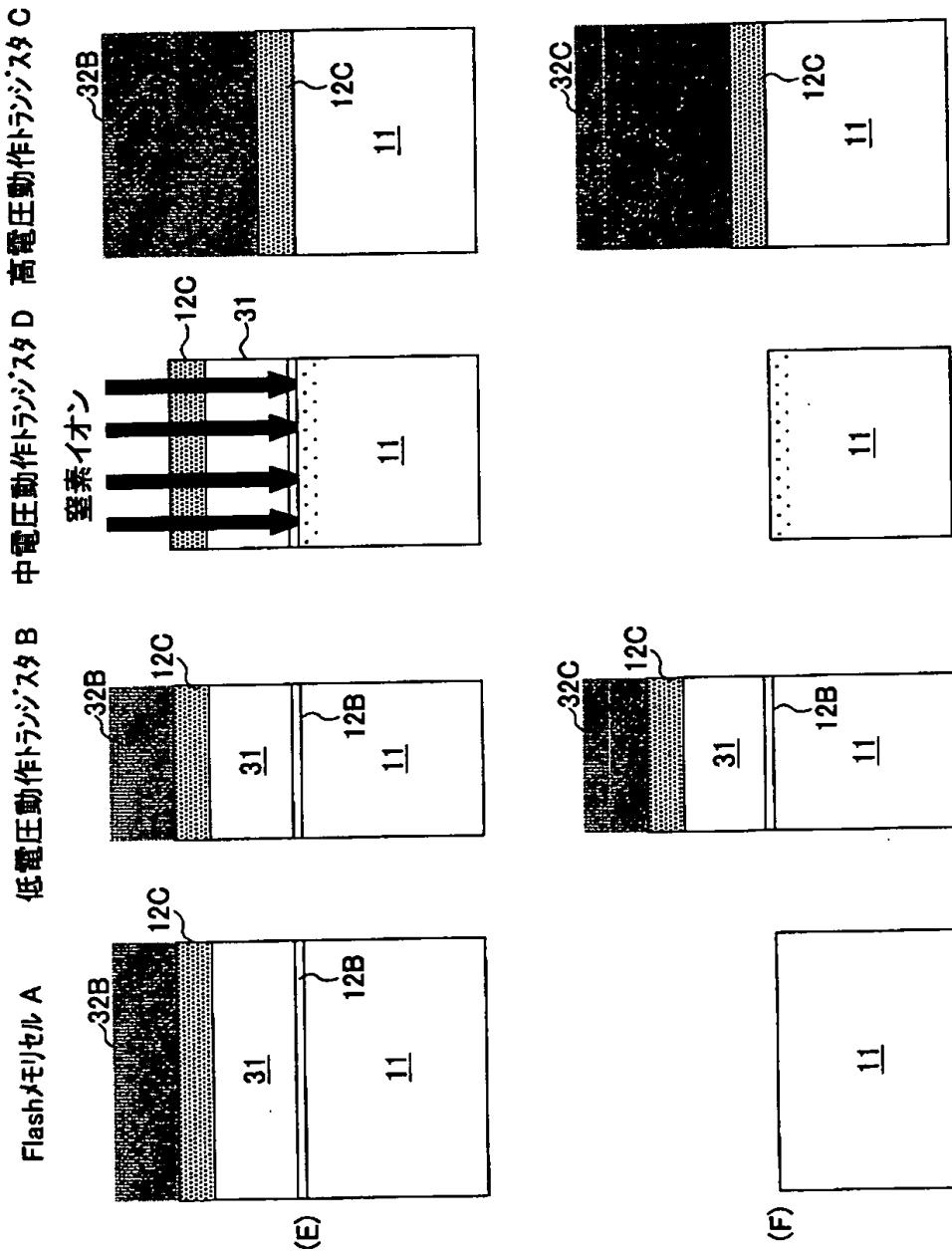
(C), (D)は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)

Flashメモリセル A 中電圧動作トランジスタ B 高電圧動作トランジスタ C



【図100】

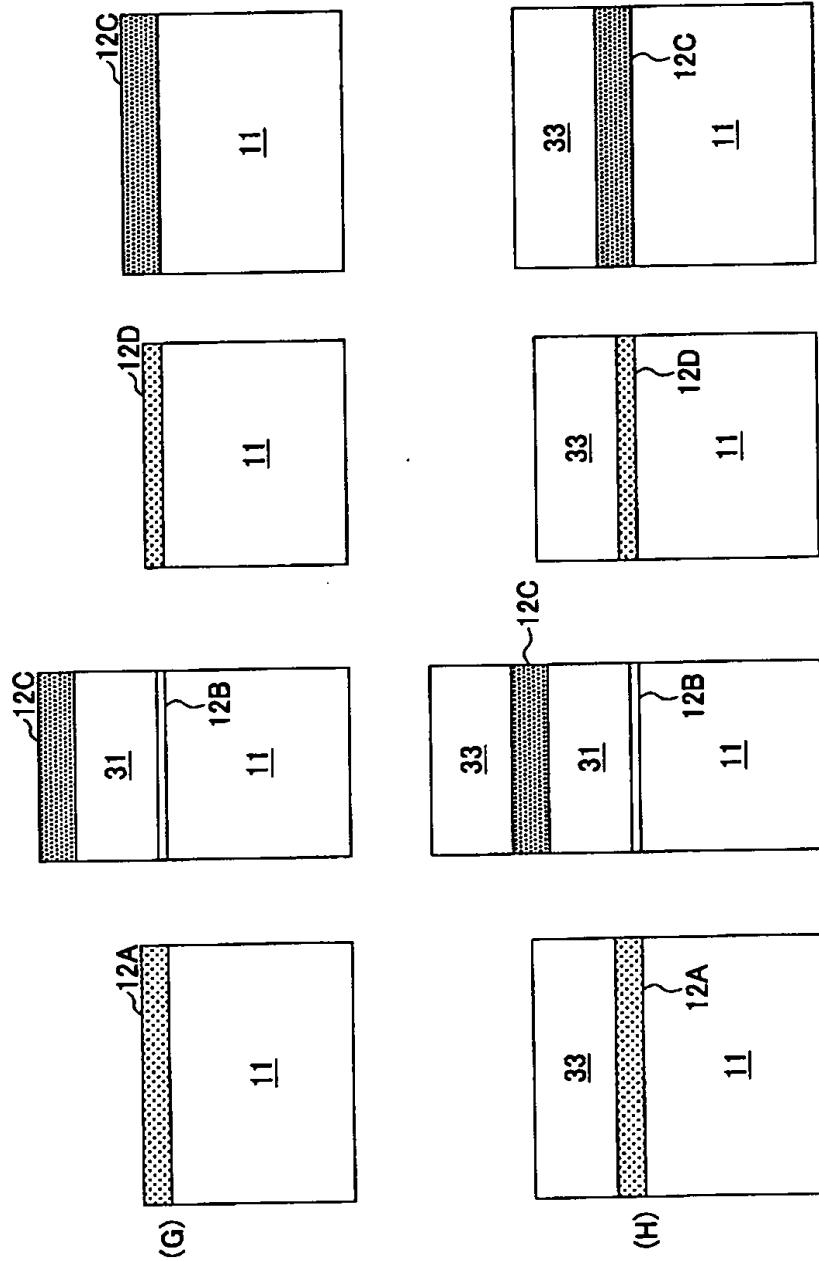
(E), (F)は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



【図101】

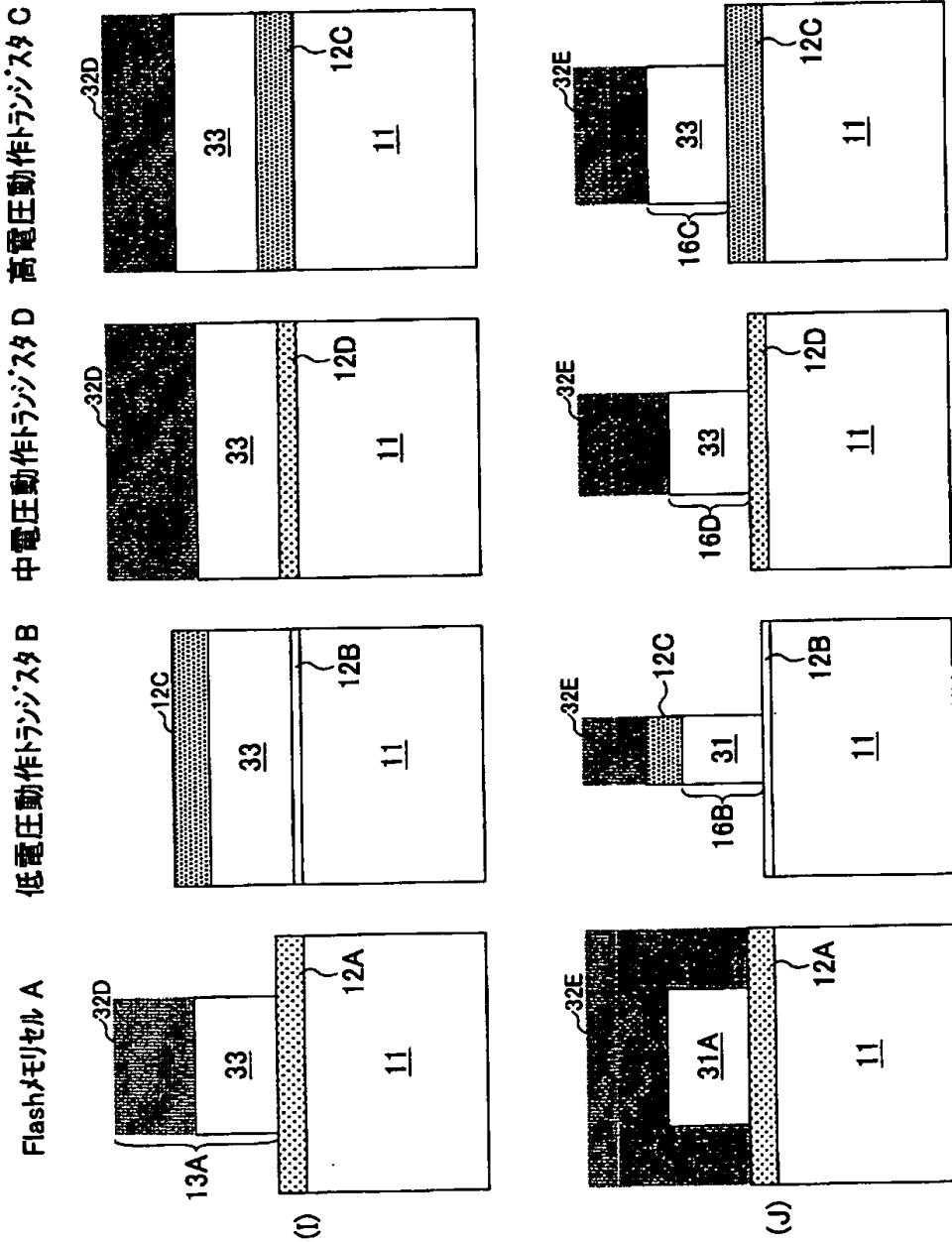
(G), (H)は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)

Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



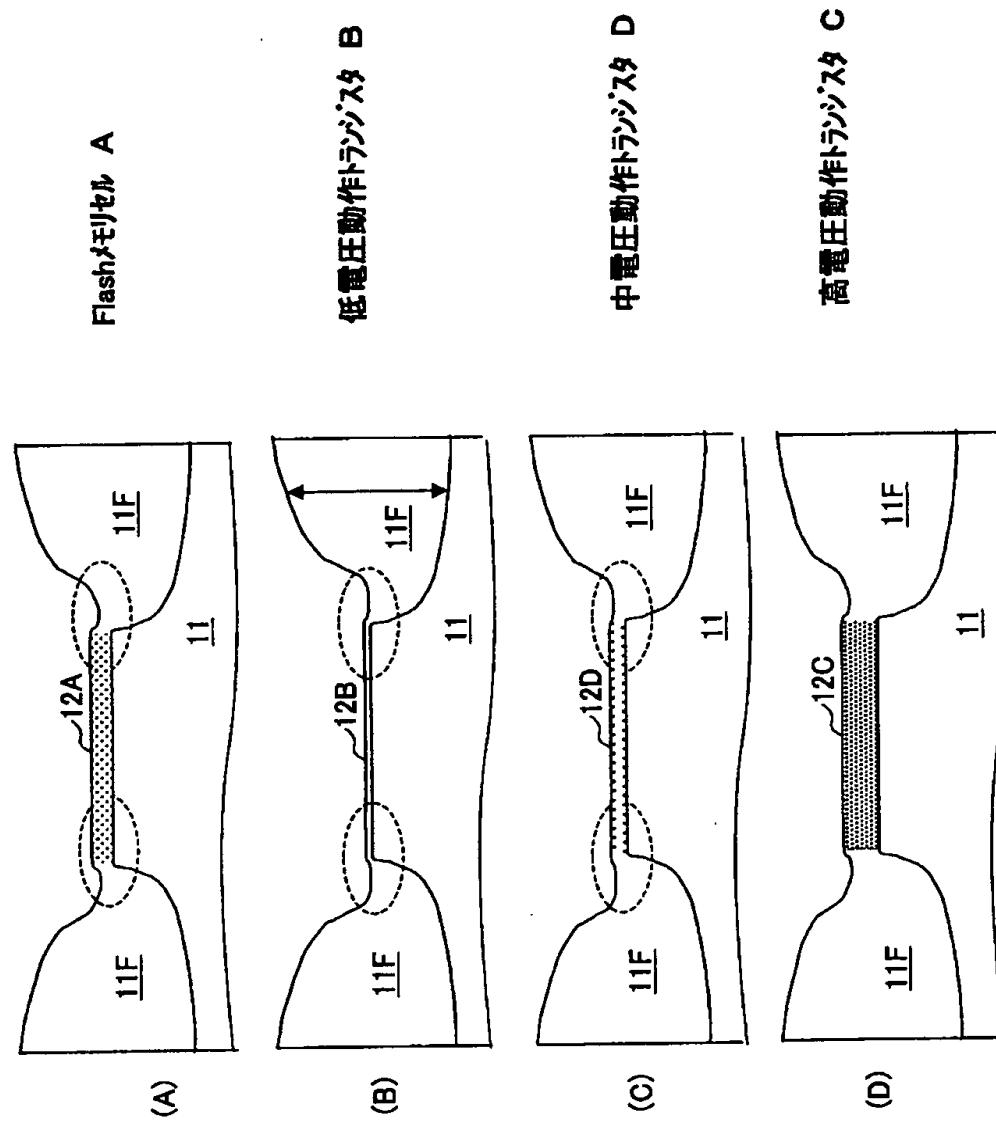
【図102】

(I), (J)は、本発明の第6実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



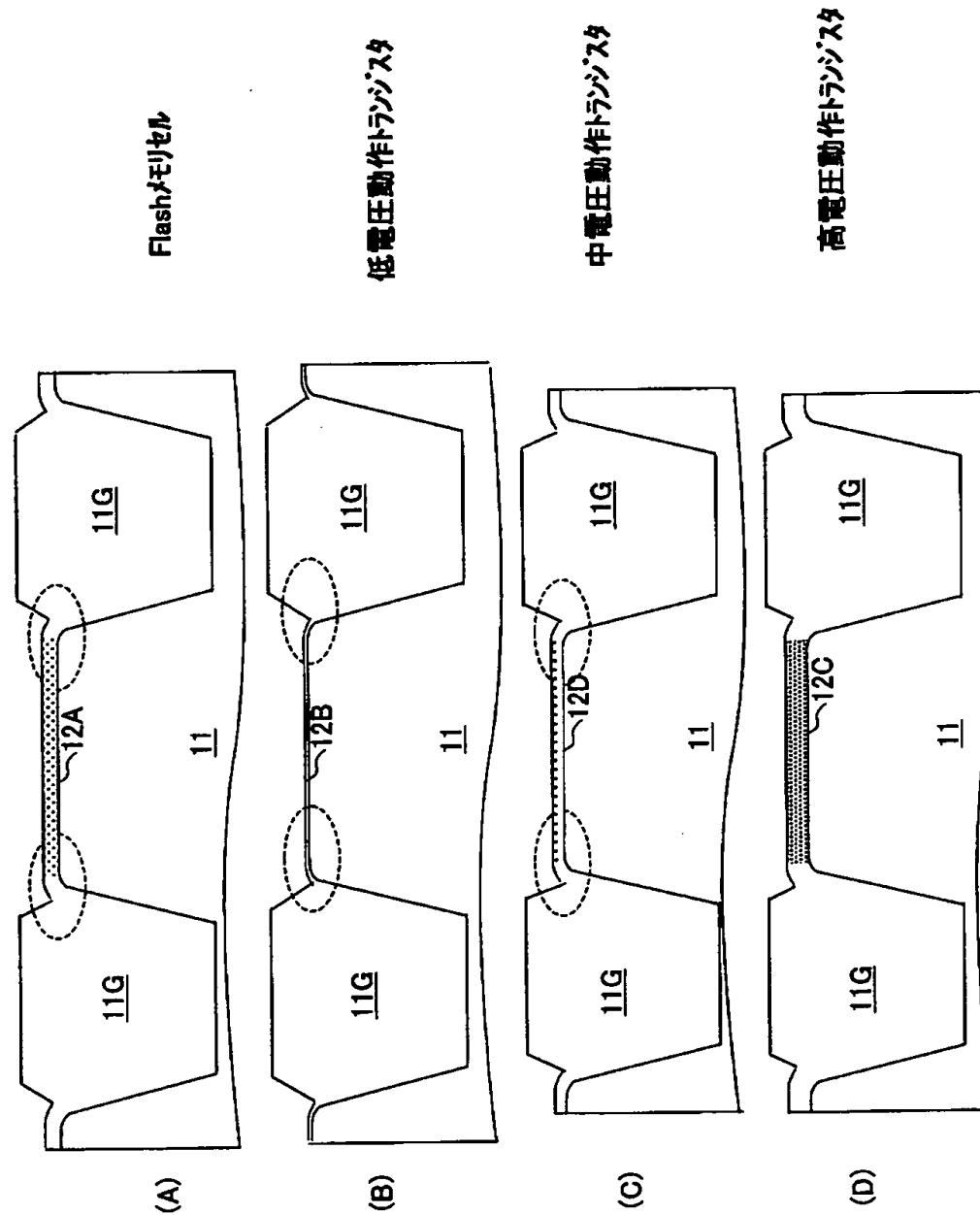
【図103】

(A)～(D)は、本発明の第6実施例による  
半導体集積回路装置の一部を示す図



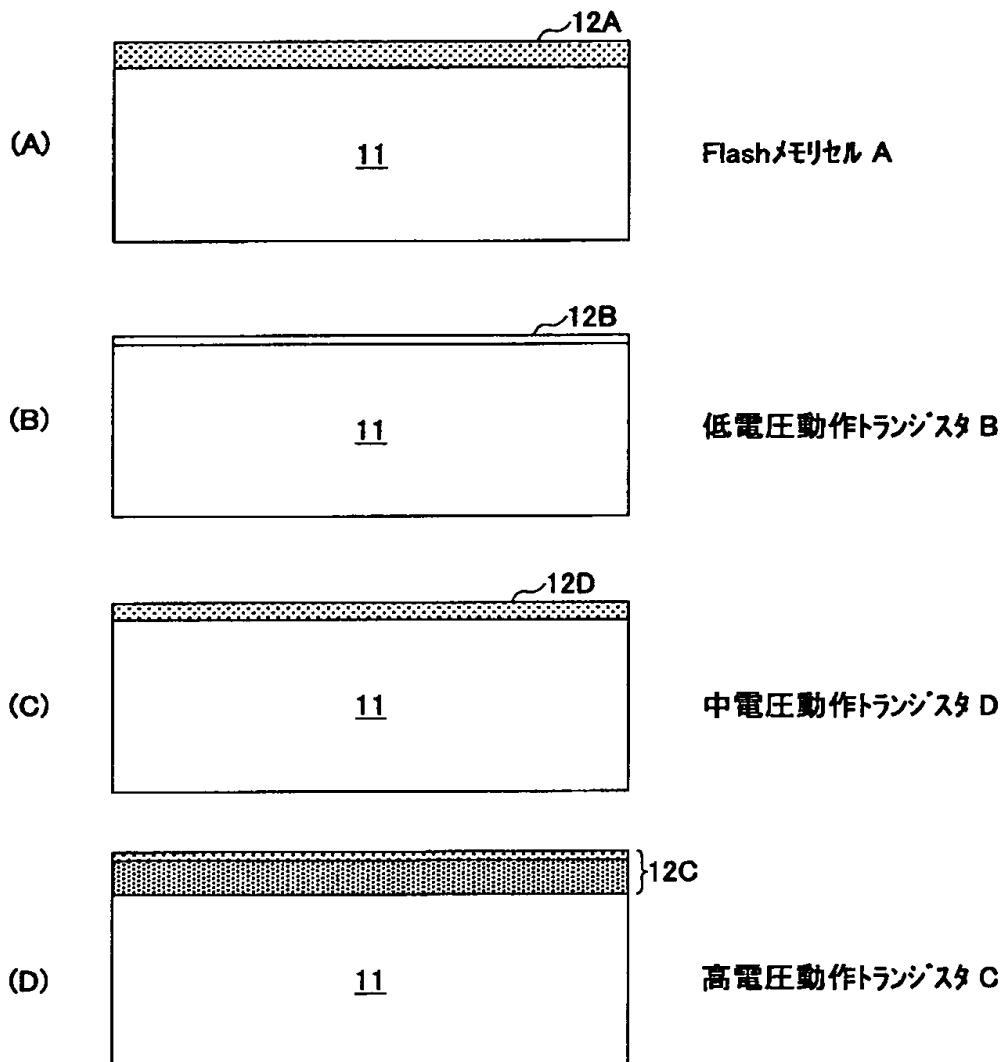
【図104】

(A)～(D)は、本発明の第6実施例による  
半導体集積回路装置の一部を示す別の図



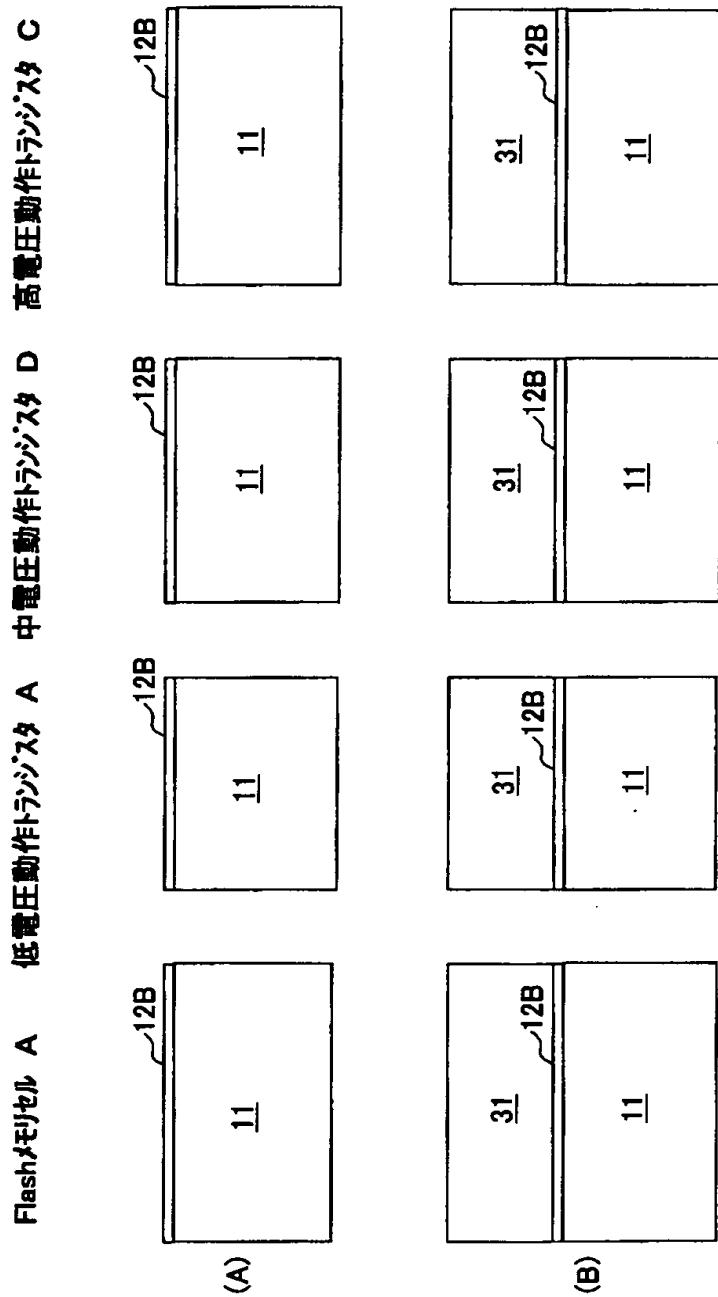
【図105】

(A)～(D)は、本発明の第6実施例による  
半導体集積回路装置の一部を示す別の図



【図106】

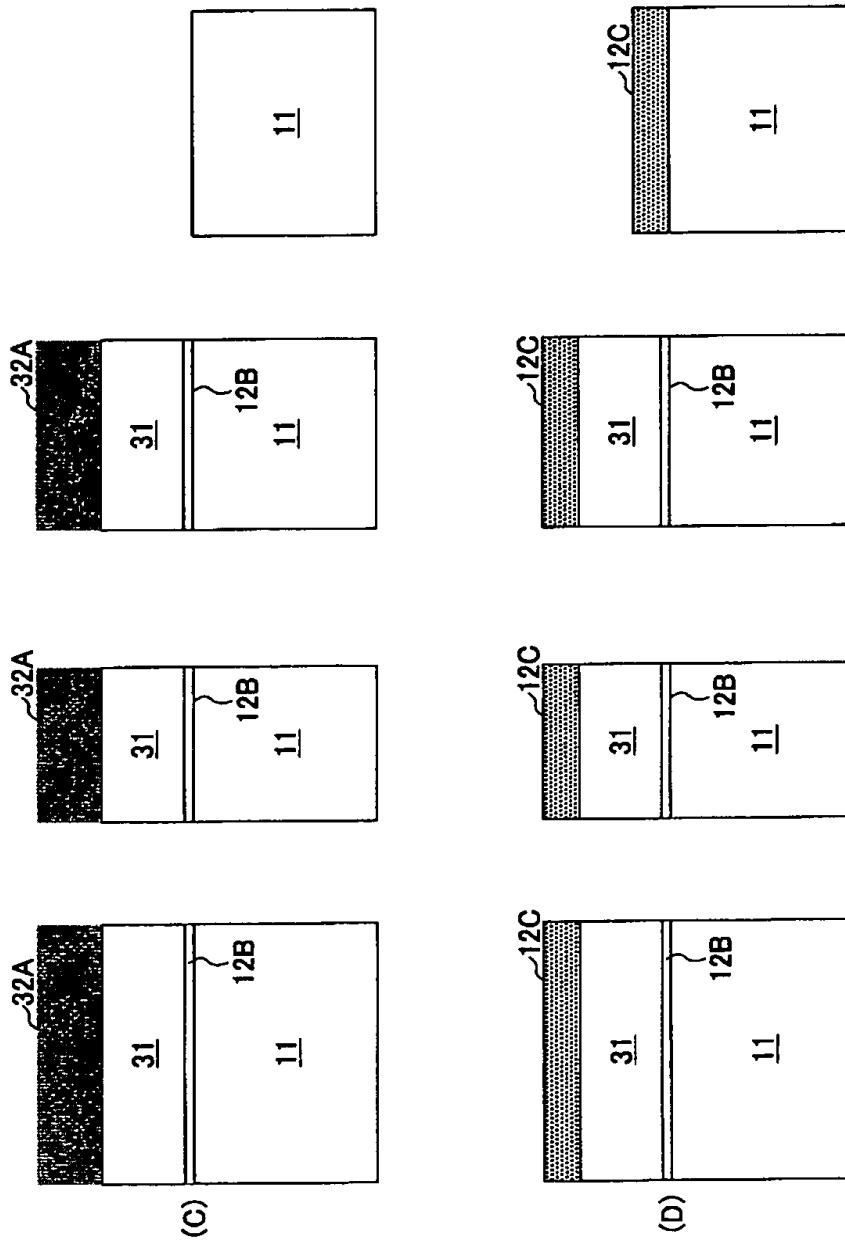
(A), (B)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)



【図107】

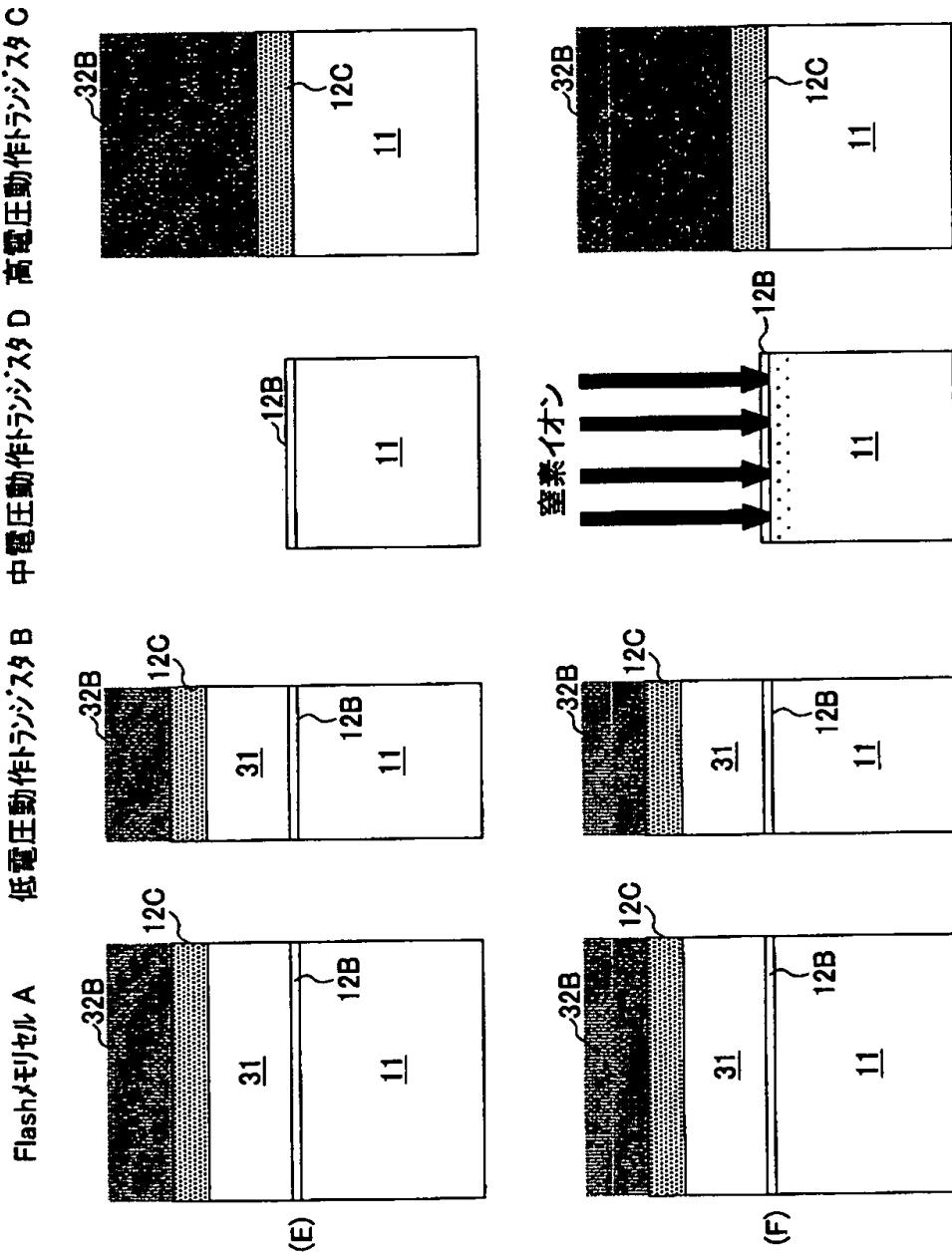
(C), (D)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)

Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ C 高電圧動作トランジスタ D



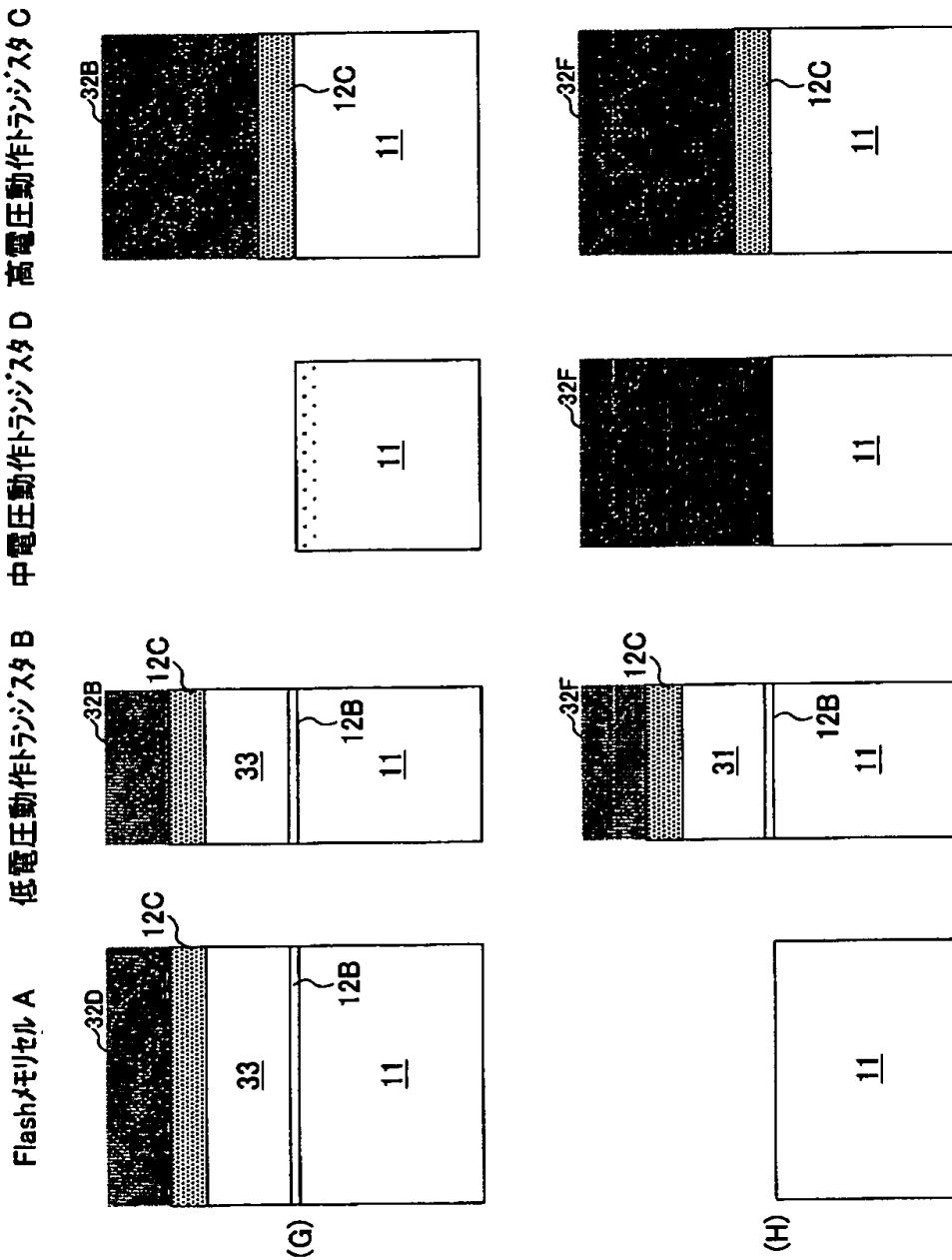
【図108】

(E), (F)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



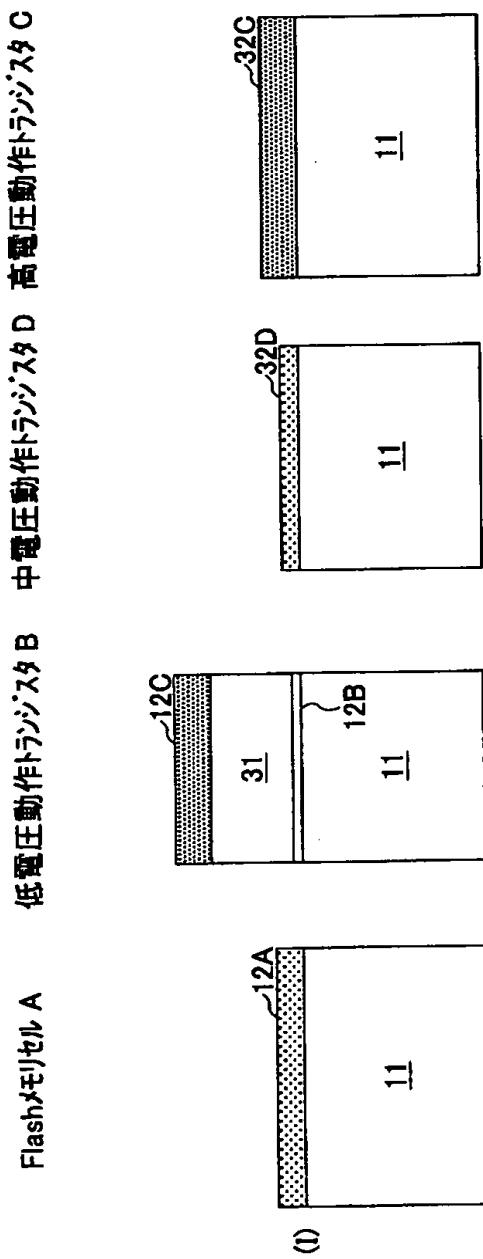
【図109】

(G), (H)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)



【図110】

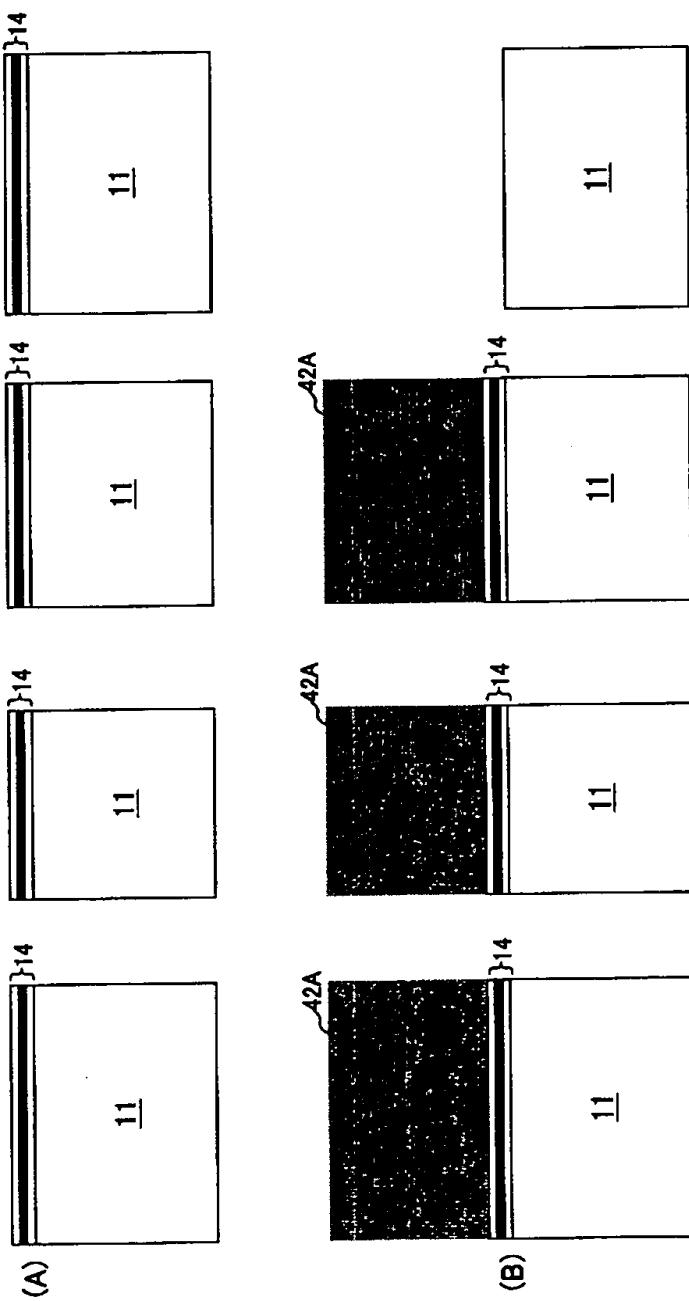
(I)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



【図111】

(A), (B)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)

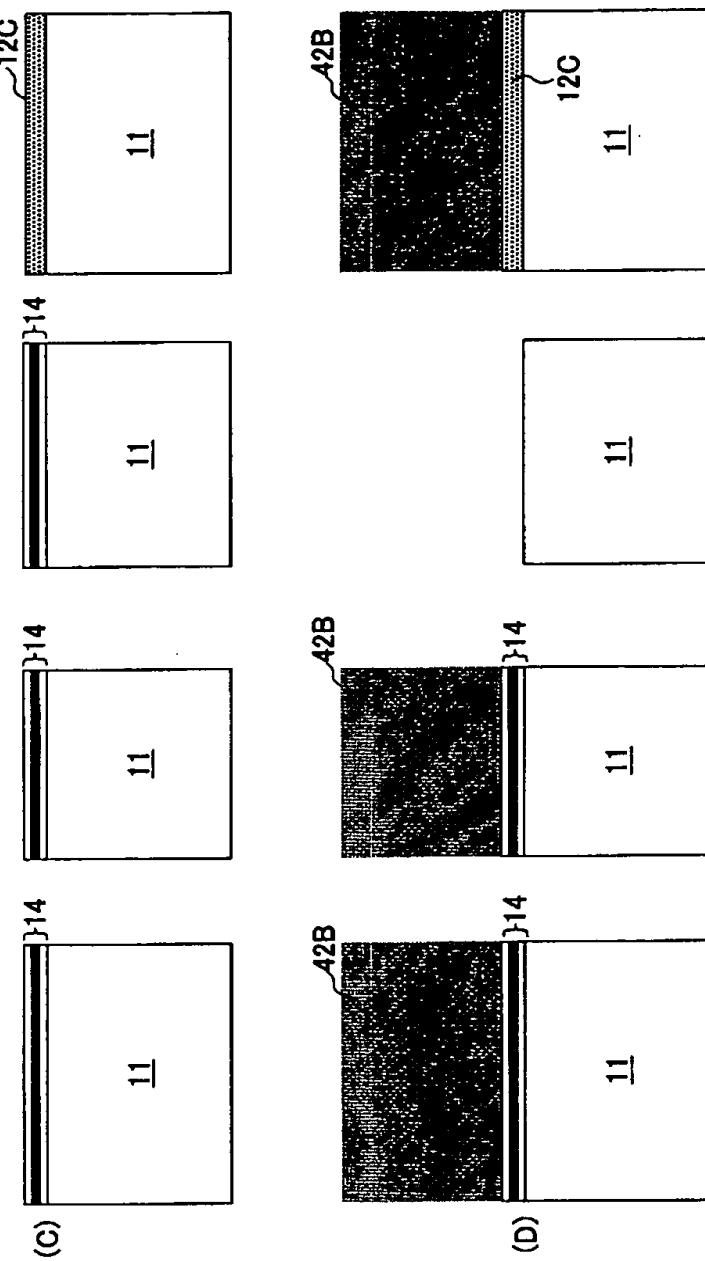
Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



【図112】

(C), (D)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)

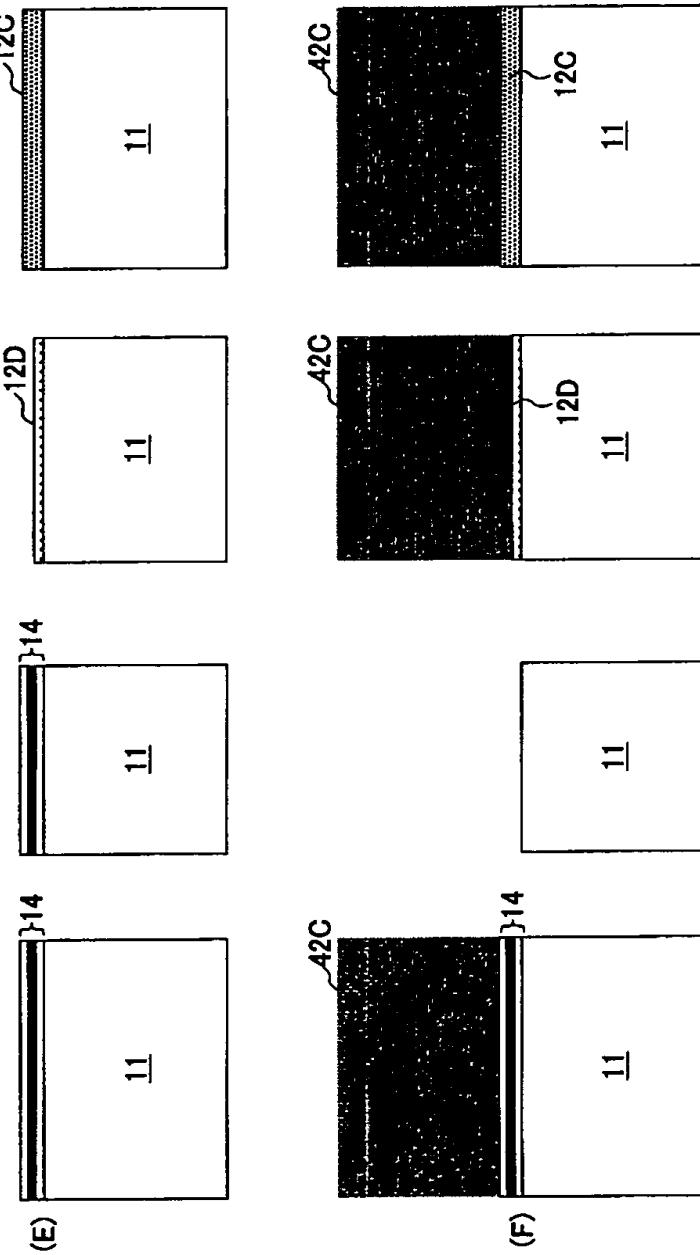
Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



【図113】

(E), (F)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)

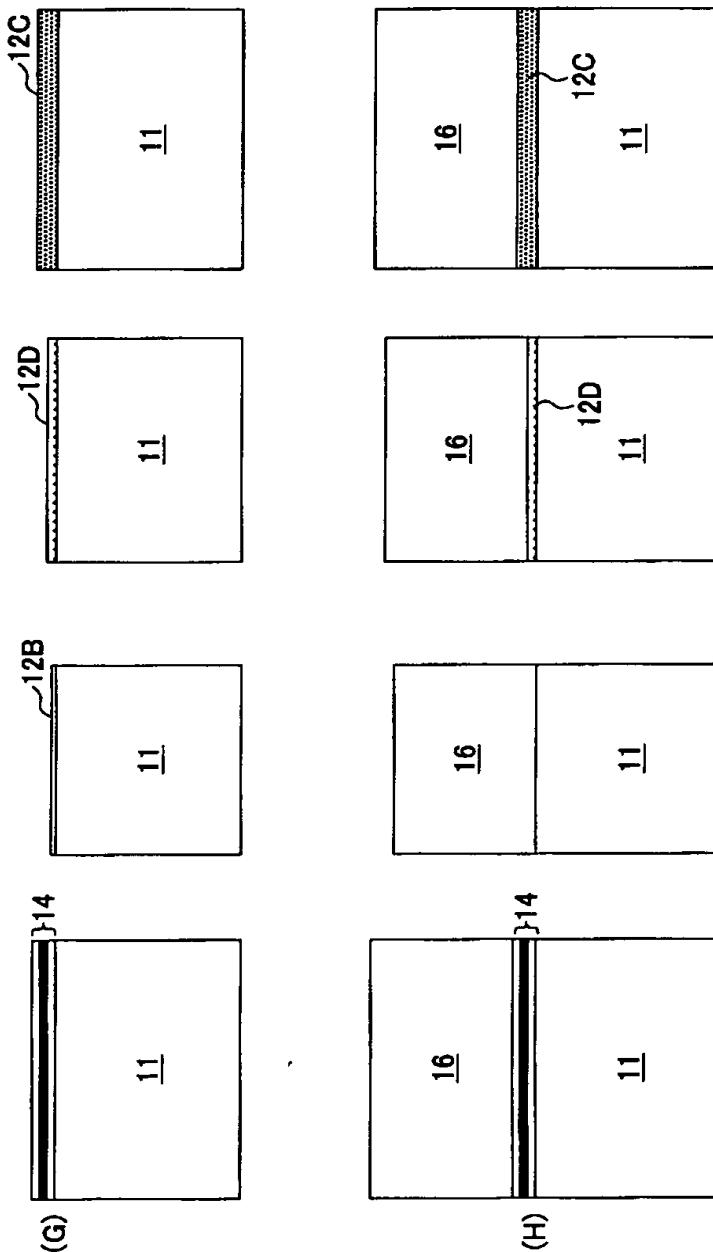
Flashメモリセル A 中電圧動作トランジスタ B 低電圧動作トランジスタ C 高電圧動作トランジスタ D



【図114】

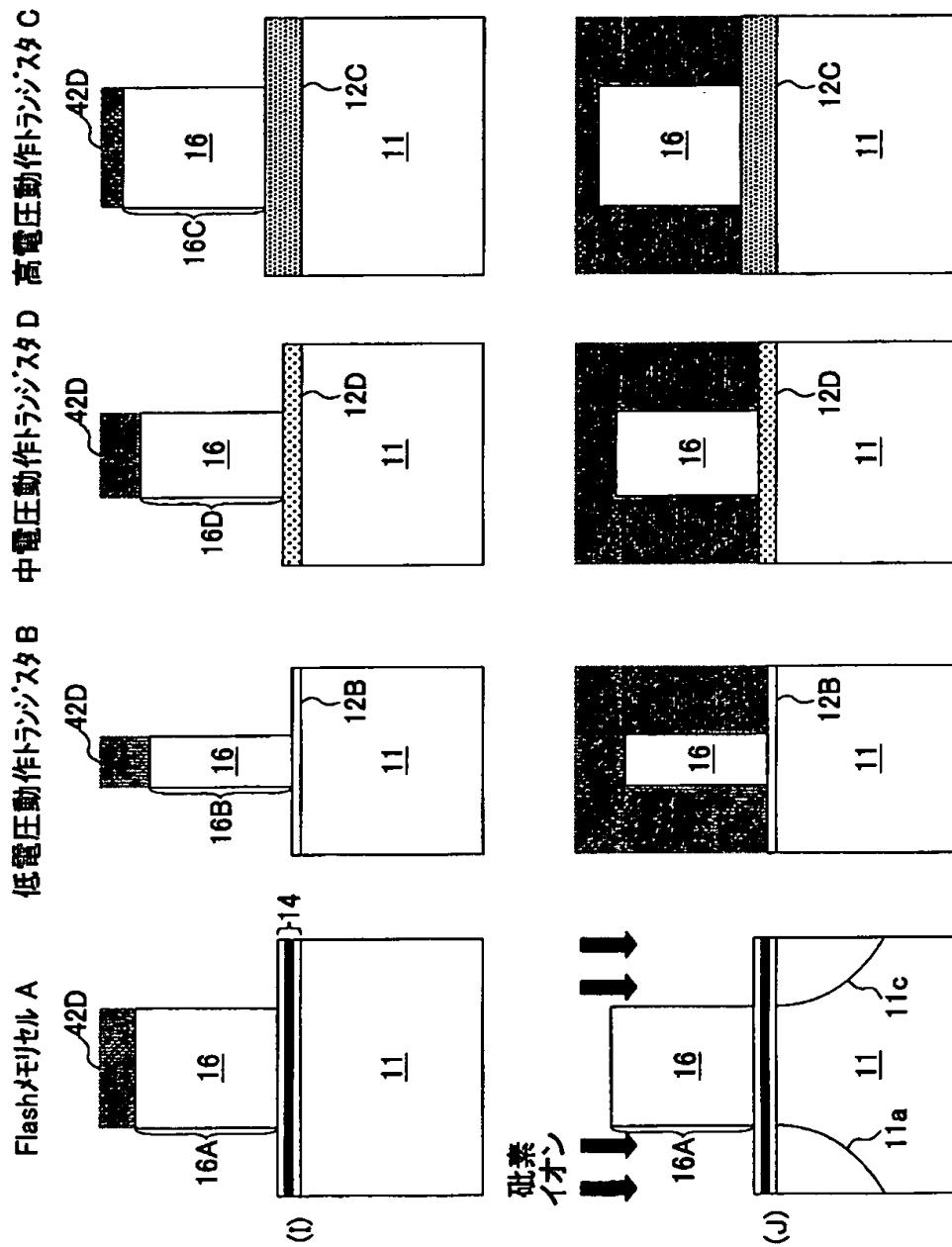
(G), (H)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)

Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



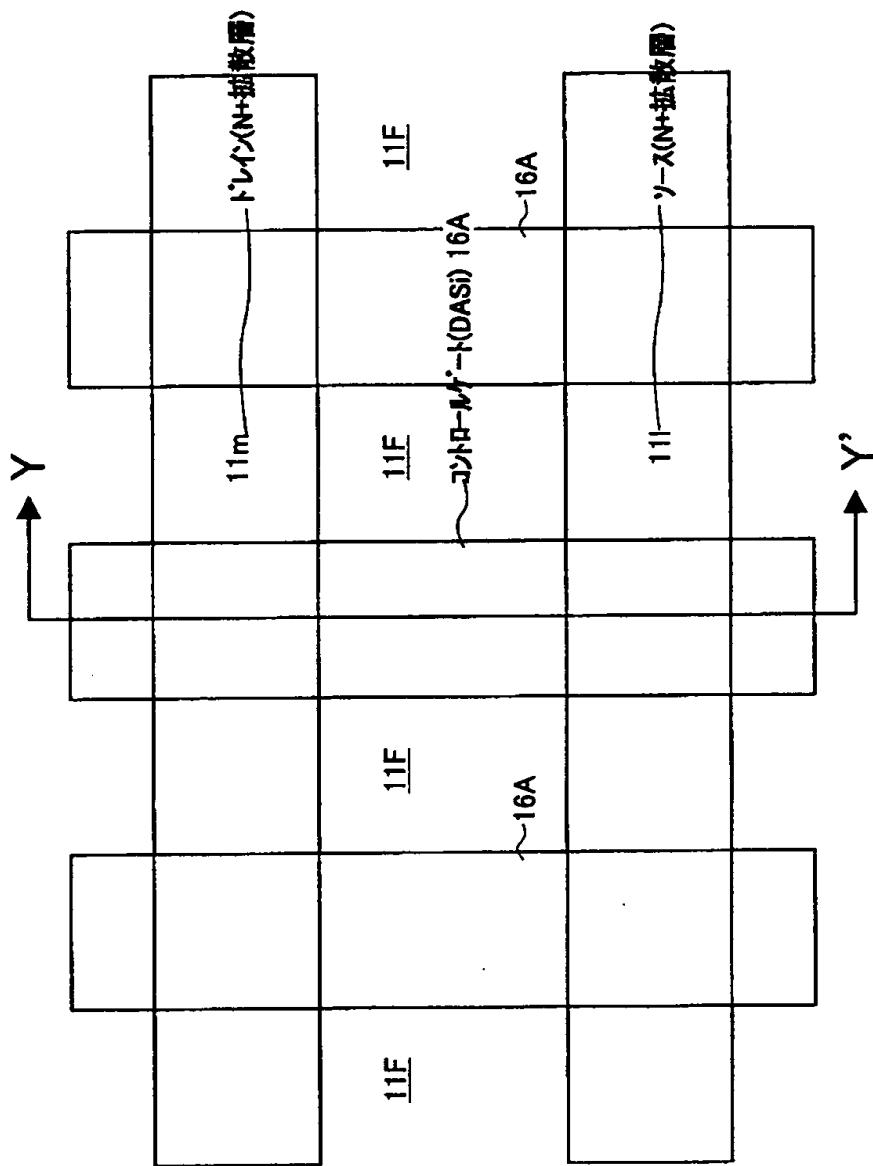
【図115】

(I), (J)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



【図116】

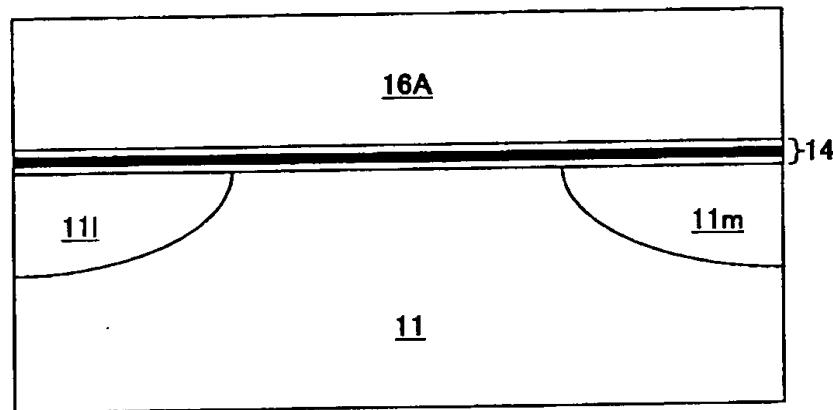
本発明の第8実施例によるフラッシュメモリの構成を示す平面図



【図117】

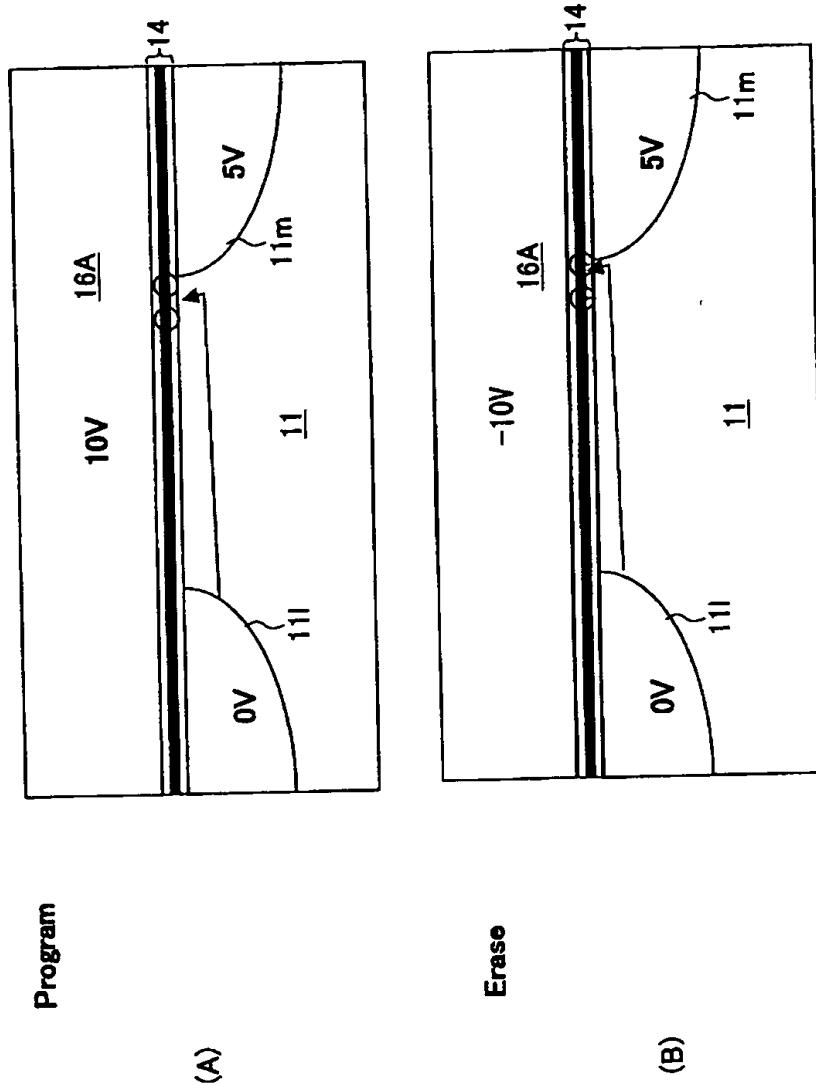
図116のフラッシュメモリの断面構造を示す図

Y-Y'



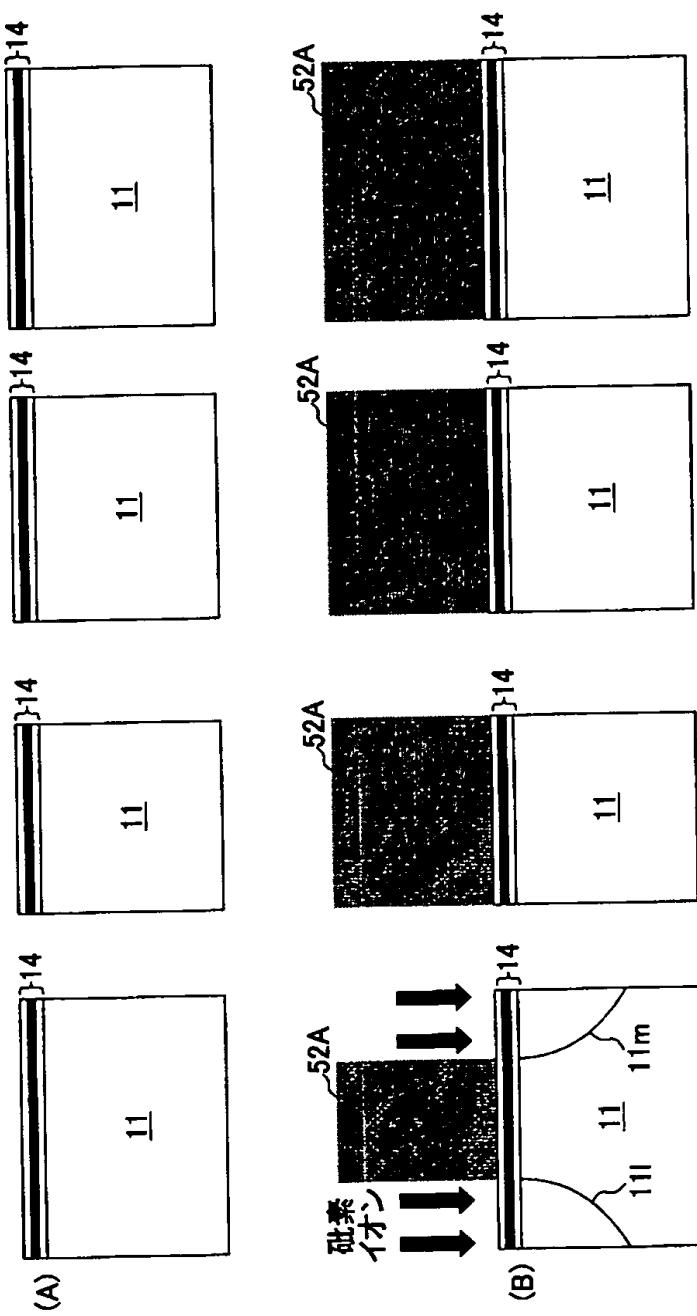
【図118】

(A), (B)は、図116のフラッシュメモリの動作を説明する図



【図119】

Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C



【書類名】 要約書

【要約】

【課題】 フラッシュメモリを含み、多電源電圧に対応した集積回路装置において、素子領域周辺が熱酸化処理工程とエッチング工程を繰り返すことによりくぼんでしまう問題を解決する。

【解決手段】 一の素子領域を熱酸化処理する際に、他の素子領域を耐酸化性膜により覆い、かかる他の素子領域における熱酸化膜の肥大を抑制する。

【選択図】 図53

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社